Problemas resueltos de electrónica digital

Cándido Bariáin Aisa
Ignacio R. Matías Maestro
Francisco J. Arregui San Martín

410P

Escaneado con CamScanner

Problemas resueltos de electrónica digital

Cándido Bariáin Aisa
Ignacio R. Matías Maestro
Francisco J. Arregui San Martín

Universidad Pública de Navarra
Nafarroako Unibertsitate Publikoa

Escaneado con CamScanner

Índice

Prólogo 9
1. Álgebra de Boole 11
2. Códigos de numeración 27
3. Familias lógicas 35
4. Sistemas combinacionales 43
5. Circuitos aritméticos 63
6. Sistemas secuenciales: biestables 75
7. Sistemas secuenciales: contadores 81
8. Sistemas secuenciales síncronos: diseño 91

Escaneado con CamScanner

Álgebra de Boole

Problema 1.1

Mediante el empleo de los axiomas y propiedades del álgebra de Boole, simplifique las siguientes expresiones:

a) $(x+\bar{y})\left[xyz+\bar{y}(z+x)\right]+xy\bar{z}(x+\bar{x}y)$

b) $(x+\bar{y}\cdot\bar{x})\left[xz+x\bar{z}(y+\bar{y})\right]$

Solución

a)

$(x+\bar{y})\left[xyz+\bar{y}(z+x)\right]+xy\bar{z}(x+\bar{x}y) =$ {Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$(x+\bar{y})\left[xyz+\bar{y}z+\bar{y}x\right]+xy\bar{z}x+xy\bar{z}\cdot\bar{x}y =$ {Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$(x+\bar{y})xyz+(x+\bar{y})\bar{y}z+(x+\bar{y})\bar{y}x+xy\bar{z}x+xy\bar{z}\cdot\bar{x}y =$ { Propiedad conmutativa : $a\cdot b=b\cdot a$ } =

$xyz(x+\bar{y})+\bar{y}z(x+\bar{y})+\bar{y}x(x+\bar{y})+xxy\bar{z}+x\bar{x}yyz =$ { Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$xyzx+xyz\bar{y}+\bar{y}zx+\bar{y}z\bar{y}+\bar{y}xx+\bar{y}x\bar{y}+xxy\bar{z}+x\bar{x}yy\bar{z} =$ { Propiedad conmutativa : $a\cdot b=b\cdot a$ } =

$xxyz+xy\bar{y}z+x\bar{y}z+\bar{y}\cdot\bar{y}z+xx\bar{y}+x\bar{y}\cdot\bar{y}+xxy\bar{z}+x\bar{x}yy\bar{z} =$ { Teorema de idempotencia : $a\cdot a=a$} =

$xyz+xy\bar{y}z+x\bar{y}z+\bar{y}z+x\bar{y}+x\bar{y}+xy\bar{z}+x\bar{x}y\bar{z} =$ { Teorema de idempotencia : $a+a=a$ } =

$xyz+xy\bar{y}z+x\bar{y}z+\bar{y}z+x\bar{y}+xy\bar{z}+x\bar{x}y\bar{z} =$ { Propiedad del elemento complementario : $a\cdot\bar{a}=0$ } =

$xyz+x\cdot 0\cdot z+x\bar{y}z+\bar{y}z+x\bar{y}+xy\bar{z}+0\cdot y\bar{z} =$ { Teorema : $a\cdot 0=0$ } =

$xyz+0+x\bar{y}z+\bar{y}z+x\bar{y}+xy\bar{z}+0 =$ [Propiedad del elemento identidad : $a+0=0+a=a$ } =

$xyz+x\bar{y}z+\bar{y}z+x\bar{y}+xy\bar{z} =$ { Propiedad conmutativa : $a+b=b+a$ } =

$xyz+xy\bar{z}+x\bar{y}z+x\bar{y}+\bar{y}z =$ { Propiedad del elemento identidad : $a\cdot 1=a$ } =

$xyz+xy\bar{z}+x\bar{y}z+x\bar{y}\cdot 1+\bar{y}z =$ { Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$xy(z+\bar{z})+x\bar{y}(z+1)+\bar{y}z =$ { Propiedad del elemento complementario : $a+\bar{a}=1$ } =

$xy\cdot 1+x\bar{y}(z+1)+\bar{y}z =$ { Propiedad del elemento identidad : $a\cdot 1=a$ } =

$xy+x\bar{y}(z+1)+\bar{y}z =$ { Teorema : $a+1=1$ } =

$xy+x\bar{y}\cdot 1+\bar{y}z =$ { Propiedad del elemento identidad : $a\cdot 1=a$ } =

$xy+x\bar{y}+\bar{y}z =$ { Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$x(y+\bar{y})+\bar{y}z =$ { Propiedad del elemento complementario : $a+\bar{a}=1$ } =

$x\cdot 1+\bar{y}z =$ { Propiedad del elemento identidad : $a\cdot 1=a$ } =

$x+\bar{y}z$

Escaneado con CamScanner

b)

$(x+\bar{y}\cdot\bar{x})\left[xz+x\bar{z}(y+\bar{y})\right]$ = { Propiedad del elemento complementario : $a+\bar{a}=1$ } =

$(x+\bar{y}\cdot\bar{x})(xz+x\bar{z})$ = { Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

$(x+\bar{y}\cdot\bar{x})x(z+\bar{z})$ = { Propiedad del elemento complementario : $a+\bar{a}=1$ } =

$(x+\bar{y}\cdot\bar{x})x$ = { Propiedad distributiva : $a\cdot(b+c)=a\cdot b+a\cdot c$ } =

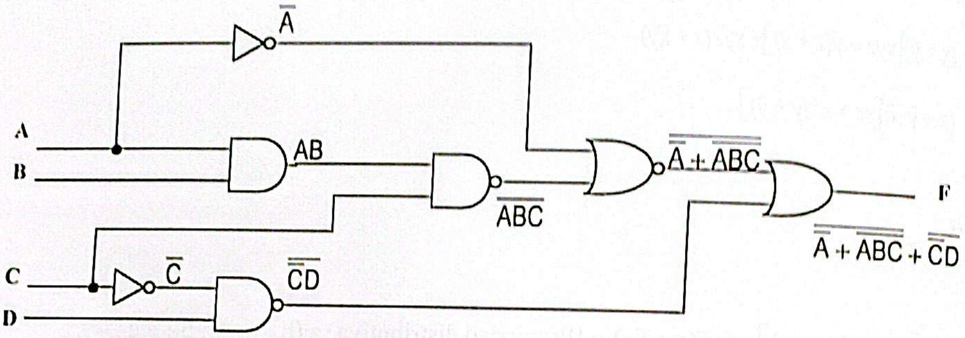
$xx+\bar{y}\cdot\bar{x}x = xx+\bar{y}\cdot 0 = xx =$

x

Problema 1.2

Analizar el circuito de la figura y obtener:

a) *La función que realiza*
b) *La tabla de verdad*



Solución

a) *Función que realiza*

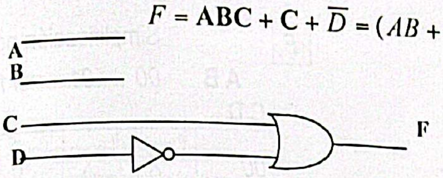
$F=\overline{\bar{A}+\overline{ABC}}+\overline{\bar{C}D}$ = { Morgan } = $A(ABC)+(C+\bar{D})$ = { Aplicando a·a = a } = $ABC+C+\bar{D}$

b) *Tabla de verdad*

A	B	C	D	ABC	D	F = ABC + C + D
0	0	0	0	0	1	1
0	0	0	1	0	0	0
0	0	1	0	0	1	1
0	0	1	1	0	0	1
0	1	0	0	0	1	1
0	1	0	1	0	0	0
0	1	1	0	0	1	1
0	1	1	1	0	0	1
1	0	0	0	0	1	1
1	0	0	1	0	0	0
1	0	1	0	0	1	1
1	0	1	1	0	0	1
1	1	0	0	0	1	1
1	1	0	1	0	0	0
1	1	1	0	1	1	1
1	1	1	1	1	0	1

Nota : un circuito que hace lo mismo

$$F = \mathbf{ABC} + \mathbf{C} + \overline{D} = (AB+1)C + \overline{D} = C + \overline{D}$$



A	B	C	D	F
X	X	0	0	1
X	X	0	1	0
X	X	1	0	1
X	X	1	1	1

Problema 1.3

Se sabe que una función lógica de 4 variables F(A,B,C,D) ha de tomar el valor "1" cuando:

A = B = "0" y C = D = "1", ó
B = C = D = "0" y A = "1", ó
B = "0" y A = C = D = "1", ó
B = D = "0" y A = C = "1"

y el valor "0" cuando:

A = B = D = "0" y C = "1", ó
A = "0" y B = C = D = "1", ó
A = D = "0" y B = C = "1", ó
C = D = "0" y A = B = "1"
A = B = C = D = "1", ó
D = "0" y A = B = C = "1"

Obtener una expresión simplificada de tal función.

Solución

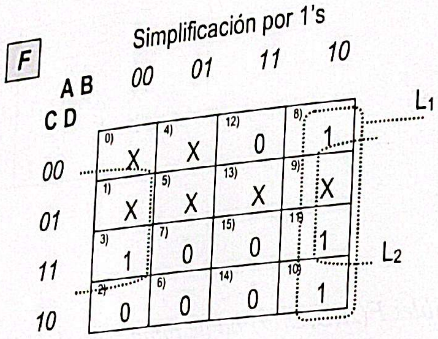
Tabla de verdad

Nº	A	B	C	D	F
0	0	0	0	0	X
1	0	0	0	1	X
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	X
5	0	1	0	1	X
6	0	1	1	0	0
7	0	1	1	1	0

Nº	A	B	C	D	F
8	1	0	0	0	1
9	1	0	0	1	X
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	X
14	1	1	1	0	0
15	1	1	1	1	0

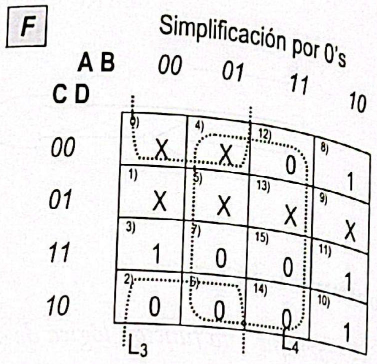
Escaneado con CamScanner

Simplificación por Karnaugh



$L_1 = A\overline{B}$ $\quad L_2 = \overline{B}D$

$F = A\overline{B} + \overline{B}D = \overline{B}(A + D)$

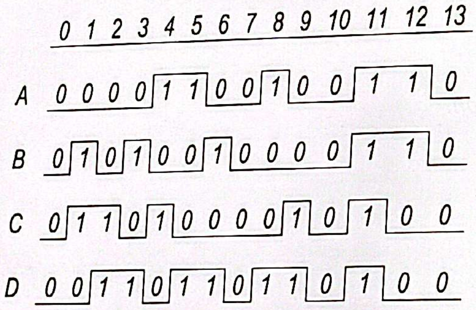


$L_3 = A + D \quad L_4 = \overline{B}$

$F = \overline{B}(A + D)$

Problema 1.4

Dadas las formas de las señales a la entrada de un circuito lógico y la forma de la salida, según el dibujo de la figura, averigüe el circuito de que se trata.



Solución

Tabla de verdad

Nº Fila	A	B	C	F	Nº Impulso
0	0	0	0	0	0, 7, 10, 13
1	0	0	1	1	2, 9
2	0	1	0	1	3, 6
3	0	1	1	0	1
4	1	0	0	1	5, 8
5	1	0	1	0	4
6	1	1	0	0	12
7	1	1	1	1	11

$F = \prod(0,3,5,6) = (A + B + C)(A + \overline{B} + \overline{C})(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C)$

$F = \sum(1,2,4,7) = \overline{A}\cdot\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\cdot\overline{C} + ABC$

Simplificación por Karnaugh

F

C \ AB	00	01	11	10
0	0) 0	2) 1	6) 0	4) 1
1	1) 1	3) 0	7) 1	5) 0

No se puede simplificar por Karnaugh
Al ser un tablero de ajedrez → Será algo de OR – EXCLUSIVO

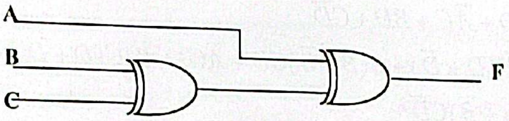
$$F = \overline{A}\cdot\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\cdot\overline{C} + ABC =$$

$$= \overline{A}(\overline{B}C + B\overline{C}) + A(\overline{B}\cdot\overline{C} + BC) = \{ a \oplus b = \overline{a}b + a\overline{b}\ ;\ \overline{a \oplus b} = ab + \overline{a}\overline{b} \} =$$

$$= \overline{A}(B \oplus C) + A(\overline{B \oplus C}) =$$

$$= A \oplus (B \oplus C)$$

Circuito lógico



Nota: las puertas OR – EXC tienen 2 entradas solamente

Problema 1.5

Un estudiante consulta el boletín de la universidad y encuentra que puede matricularse en un curso de electrónica sólo si satisface las siguientes condiciones:

- Tiene como mínimo 60 créditos y tiene buen expediente,
- o tiene como mínimo 60 créditos y estudia ingeniería y tiene apoyo del departamento,
- o tiene menos de 60 créditos y está estudiando ingeniería,
- o tiene buen expediente y tiene apoyo del departamento,
- o es estudiante de ingeniería y no tiene apoyo del departamento.

Realizar un circuito combinacional con puertas lógicas que indique al estudiante si se puede matricular o no del curso de electrónica.

Solución

Asignación de las variables lógicas de entrada y salida

A = Tiene como mínimo 60 créditos
B = Tiene buen expediente
C = Estudia ingeniería
D = Tiene apoyo del departamento
} Entradas

F = Puede matricularse → Salida

Ecuación o función lógica

$$F = AB + ACD + \overline{A}C + BD + C\overline{D}$$

Simplificación de la función mediante teoremas

$$\begin{aligned} F &= AB + ACD + \overline{A}C + BD + C\overline{D} \\ &= C(AD + \overline{A} + \overline{D}) + AB + BD \\ &= C\big[\underbrace{(A + \overline{A})}_{1}(D + \overline{A}) + \overline{D}\big] + AB + BD \\ &= C(D + \overline{A} + \overline{D}) + AB + BD \\ &= C + AB + BD \\ &= B(A + D) + C \end{aligned}$$

Simplificación de la función mediante Karnaugh

$$\begin{aligned} F &= AB + ACD + \overline{A}C + BD + C\overline{D} \\ &= AB(C + \overline{C})(D + \overline{D}) + A(B + \overline{B})CD + \overline{A}(B + \overline{B})C(D + \overline{D}) + (A + \overline{A})B(C + \overline{C})D + \\ &\quad + (A + \overline{A})(B + \overline{B})C\overline{D} \\ &= ABCD + ABC\overline{D} + AB\overline{C}D + AB\overline{C}\cdot\overline{D} + A\overline{B}CD + \overline{A}BCD + \overline{A}BC\overline{D} + \\ &\quad + \overline{A}\cdot\overline{B}CD + \overline{A}\cdot\overline{B}C\overline{D} + \overline{A}B\overline{C}D + A\overline{B}C\overline{D} \end{aligned}$$

Tabla de la verdad

Nº Fila	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1

Nº Fila	A	B	C	D	F
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

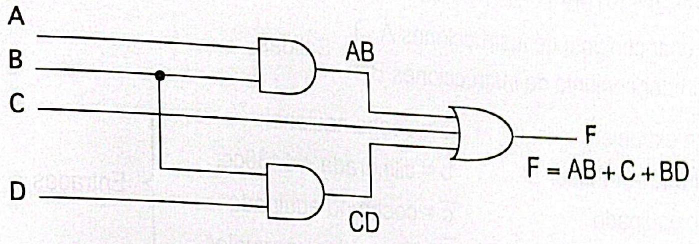
Diagrama de Karnaugh

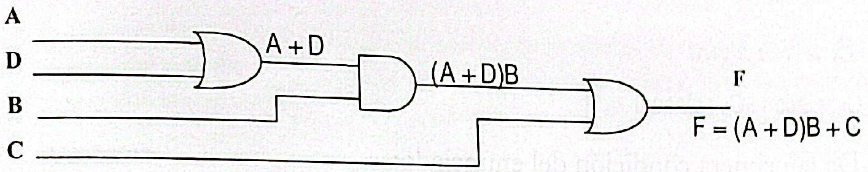
F

CD \ AB	00	01	11	10
00	0) 0	4) 0	12) 1	8) 1
01	1) 0	5) 1	13) 1	9) 0
11	3) 1	7) 1	15) 1	11) 1
10	2) 1	6) 1	14) 1	10) 1

$$F = AB + BD + C = B(A + D) + C$$

Circuito lógico





Problema 1.6

Se prevé que las instrucciones que han de impartirse en un próximo rally de coches deportivos serán muy complejas. Puesto que van a utilizarse dos conjuntos de instrucciones distintas, los organizadores han decidido utilizar, para determinar el bloque de instrucciones a entregar en la línea de salida a cada concursante, un circuito lógico digital que tenga en cuenta las siguientes condiciones:

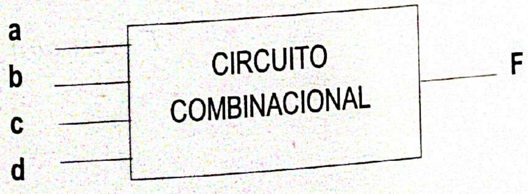
- Los coches extranjeros con un motor de cilindrada mayor de 1.430 cc deberán correr en clase II, junto con los coches nacionales; en caso contrario, deben correr en clase I.
- Para los coches que compiten en la clase II, el conjunto de instrucciones que se les va a entregar dependerá del tipo de equipamiento. Es decir, los coches de esta clase que estén equipados de acuerdo con las instrucciones generales publicadas utilizarán el conjunto de las instrucciones A, mientras que aquellos que no estén equipados de acuerdo con las instrucciones generales utilizarán el conjunto de instrucciones B.
- Todos los coches de la clase I utilizarán el conjunto de instrucciones B, salvo que el coche tenga neumáticos radiales o esté equipado, en cuyo caso el participante recibirá el conjunto de instrucciones A.

En la línea de salida, el organizador dispondrá de 4 conmutadores para indicar dónde ha sido fabricado el coche (por ejemplo, extranjero o nacional), su cilindrada con respecto a los 1.430 cc, si está debidamente equipado y el tipo de neumáticos. Dichos conmutadores accionarán a través de un circuito combinacional un diodo LED. Cuando el diodo esté encendido, el organizador dará al participante el conjunto de instrucciones A. En caso contrario, cuando el diodo no se encienda, el participante recibirá el conjunto de instrucciones B.

Diseñar este circuito utilizando el menor número de puertas.

Solución

Circuito propuesto



Variables de entrada y salida

F = entregar conjunto de instrucciones A
F= entregar conjunto de instrucciones B } Salidas

a = coche extranjero
b = cilindrada > 1430cc.
c = coche equipado
d = neumáticos radiales

$\overline{a}$ = coche nacional
$\overline{b}$ = cilindrada < 1430cc.
$\overline{c}$ = coche no equipado
$\overline{d}$ = neumáticos normales } Entradas

Ecuación lógica

C_I : clase I ; C_{II} : clase II

De la primera condición del enunciado:

$$C_{II} = ab + \overline{a} = \underbrace{(a + \overline{a})}_{1}(b + \overline{a}) = b + \overline{a}$$

$$C_I = \overline{C_{II}} = \overline{b + \overline{a}} = \overline{b}a$$

De la segunda y tercera condición del enunciado:

$$F = A = \underbrace{C_{II} \bullet c}_{2)} + C_I\underbrace{(d + c)}_{3)}$$

Sustituyendo expresiones:

$$F = A = C_{II} \cdot c + C_I \cdot (c + d) = (ab + \overline{a})c + a\overline{b}(c + d) =$$

$$= \mathbf{abc} + \overline{a}c + \mathbf{a\overline{b}c} + a\overline{b}d = a\underbrace{(b + \overline{b})}_{1}c + \overline{a}c + a\overline{b}d =$$

$$= \mathbf{ac} + \mathbf{\overline{a}c} + a\overline{b}d = \underbrace{(a + \overline{a})}_{1}c + a\overline{b}d = c + a\overline{b}d$$

Tabla de verdad y diagrama de Karnaugh

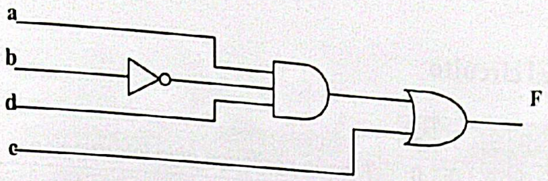
a	b	c	d	CLASE	F = A
0	0	0	0	C_{II}	0
0	0	0	1	C_{II}	0
0	0	1	0	C_{II}	1
0	0	1	1	C_{II}	1
0	1	0	0	C_{II}	0
0	1	0	1	C_{II}	0
0	1	1	0	C_{II}	1
0	1	1	1	C_{II}	1
1	0	0	0	C_I	0
1	0	0	1	C_I	1
1	0	1	0	C_I	1
1	0	1	1	C_I	1
1	1	0	0	C_{II}	0
1	1	0	1	C_{II}	0
1	1	1	0	C_{II}	1
1	1	1	1	C_{II}	1

F

cd \ ab	00	01	11	10
00	0	0	0	0
01	0	0	0	1
11	1	1	1	1
10	1	1	1	1

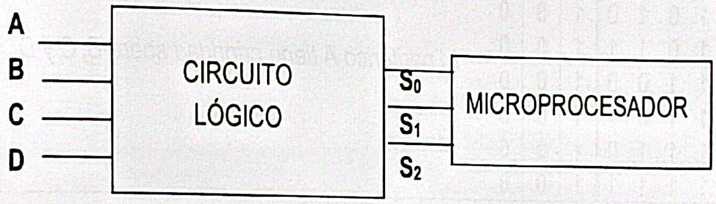
$$F = c + a\overline{b}d$$

Circuito



Problema 1.7

Un sistema microprocesador admite interrupciones procedentes de cuatro periféricos distintos A, B, C, D. Para indicar la petición de interrupción, cada periférico pone a "uno" su terminal de salida. El microprocesador admite una señal codificada de tres bits (S_0, S_1, S_2) para saber qué periférico está pidiendo interrupción.



Se trata de diseñar un circuito lógico que codifique en binario el periférico que solicita interrupción de acuerdo al siguiente criterio:

S_2	S_1	S_0	
0	0	0	*Ningún periférico pide interrupción*
0	0	1	*El periférico D pide interrupción*
0	1	0	*El periférico C pide interrupción*
0	1	1	*El periférico B pide interrupción*
1	0	0	*El periférico A pide interrupción*

Hay que tener en cuenta la petición simultánea de interrupción por más de un periférico. En este caso hay un sistema de prioridades que reconoce sólo la petición del periférico de mayor prioridad, ignorando la de los demás. Tiene mayor prioridad el periférico A y menor D (A > B > C > D).

Se pide:

a) *Escribir la tabla de verdad del circuito.*

b) *Simplificar cada salida por el método de Karnaugh.*

c) *Realizar el circuito con puertas NAND de dos entradas.*

Escaneado con CamScanner

Solución

a) **Tabla de verdad del circuito**

A	B	C	D	S_2	S_1	S_0	
0	0	0	0	0	0	0	*Ningún periférico pide interrupción*
0	0	0	1	0	0	1	*El periférico D pide interrupción*
0	0	1	0	0	1	0	*El periférico C tiene prioridad sobre D*
0	0	1	1	0	1	0	
0	1	0	0	0	1	1	*El periférico B tiene prioridad sobre C y D*
0	1	0	1	0	1	1	
0	1	1	0	0	1	1	
0	1	1	1	0	1	1	
1	0	0	0	1	0	0	*El periférico A tiene prioridad sobre B, C y D*
1	0	0	1	1	0	0	
1	0	1	0	1	0	0	
1	0	1	1	1	0	0	
1	1	0	0	1	0	0	
1	1	0	1	1	0	0	
1	1	1	0	1	0	0	
1	1	1	1	1	0	0	

b) **Simplificación por Karnaugh**

S_2

CD \ AB	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$S_2 = A$

S_1

CD \ AB	00	01	11	10
00	0	1	0	0
01	0	1	0	0
11	1	1	0	0
10	1	1	0	0

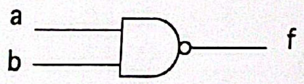
$S_1 = \overline{A}B + \overline{A}C$

S_0

CD \ AB	00	01	11	10
00	0	1	0	0
01	1	1	0	0
11	0	1	0	0
10	0	1	0	0

$S_0 = \overline{A}B + \overline{A}\cdot\overline{C}D$

c) **Realizar el circuito con puertas NAND de 2 entradas**



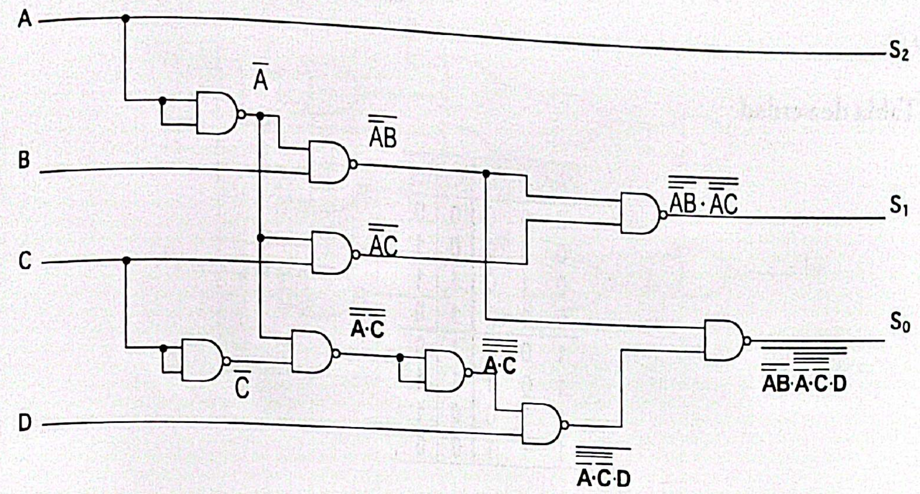
a	b	f
0	0	1
0	1	1
1	0	1
1	1	0

$f = \overline{ab}$

$S_2 = A$

$S_1 = \overline{A}B + \overline{A}C = \overline{\overline{\overline{A}B + \overline{A}C}} = \overline{\overline{\overline{A}B}\cdot\overline{\overline{A}C}}$

$S_0 = \overline{A}B + \overline{A}\cdot\overline{C}D = \overline{\overline{\overline{A}B + \overline{A}\cdot\overline{C}D}} = \overline{\overline{\overline{A}B}\cdot\overline{\overline{A}\cdot\overline{C}D}} = \overline{\overline{\overline{A}B}\cdot\overline{\overline{A}\cdot\overline{C}\cdot D}}$



Problema 1.8

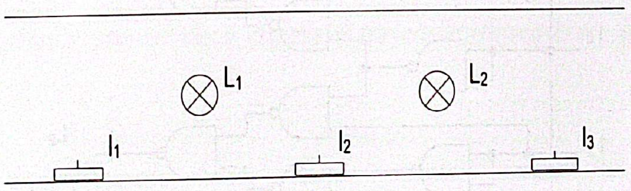
En un pasillo están instalados dos puntos de luz L_1 y L_2, cuyo estado puede ser: encendido (L_x = "1"), ó apagado (L_x = "0"). El encendido de los puntos de luz está controlado por tres interruptores I_1, I_2 e I_3, los cuales pueden estar en las posiciones lógicas "0" ó "1".

La disposición de los puntos de luz y de los interruptores está representada en la figura, de tal forma que el control del encendido y apagado de L_1 y L_2 desde los interruptores I_1, I_2 e I_3 se pueda realizar de acuerdo a la dirección de tránsito por el pasillo, sin necesidad de mantener todas las luces encendidas simultáneamente, o de tener que moverse por el pasillo con todas las luces apagadas.

Esto significa que las reglas de actuación de L_1 y L_2 son:

- *Un cambio de posición de I_1 invierte el estado de L_1.*
- *Un cambio de posición de I_2 invierte el estado de L_1 y L_2.*
- *Un cambio de posición de I_3 invierte el estado de L_2.*

Por tanto, un cambio de posición simultánea de I_1 e I_2 no modifica el estado de L_1. De la misma forma, un cambio de posición simultánea de I_2 e I_3 no modifica el estado de L_2.



Se pide:

a) *Definir la tabla de verdad del circuito que realiza la función de control de L_1 y L_2 por medio de I_1, I_2 e I_3. Se supondrá que las luces L_1 y L_2 están apagadas cuando $I_1 = I_2 = I_3 = 0$.*

b) *Ecuaciones simplificadas (por Karnaugh) de L_1 y L_2.*

c) *Realizar el circuito con puertas NAND de 2 entradas.*

d) *Realizar el circuito con puertas NOR de 2 entradas.*

Escaneado con CamScanner

Solución

a) **Tabla de verdad**

I_1	I_2	I_3	L_1	L_2
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	0	1
1	1	1	0	0

b) **Ecuaciones simplificadas de L_1 y L_2**

L_1

I_3 \ $I_1 I_2$	00	01	11	10
0	0	1	0	1
1	0	1	0	1

$$L_1 = I_1\overline{I_2} + \overline{I_1}\cdot I_2$$

L_2

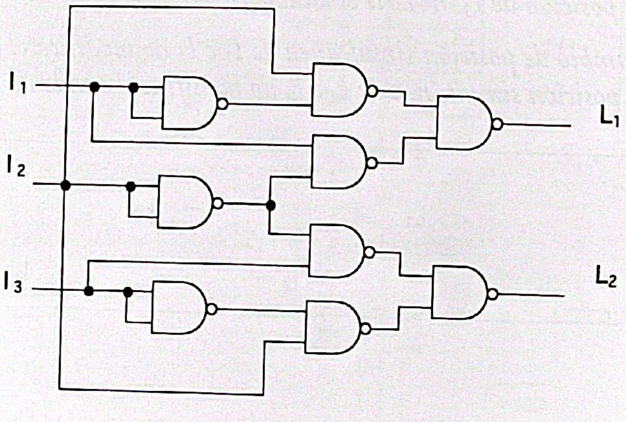
I_3 \ $I_1 I_2$	00	01	11	10
0	0	1	1	0
1	1	0	0	1

$$L_2 = I_2\overline{I_3} + \overline{I_2}\cdot I_3$$

c) **Circuito con puertas NAND de 2 entradas**

$$L_1 = I_1\overline{I_2} + \overline{I_1}\cdot I_2 = \overline{\overline{I_1\overline{I_2} + \overline{I_1}\cdot I_2}} = \overline{\overline{I_1\overline{I_2}}\cdot\overline{\overline{I_1}\cdot I_2}}$$

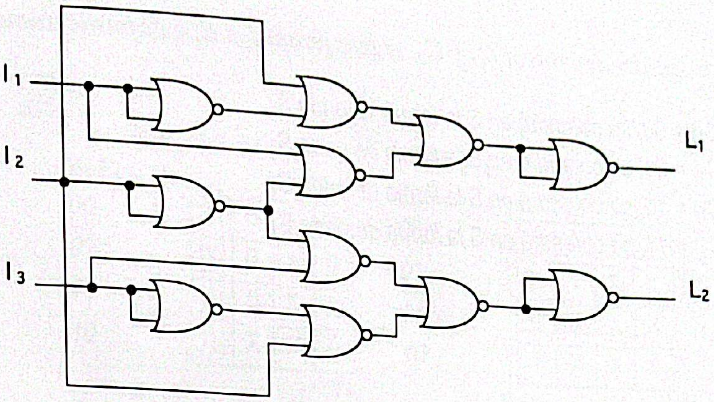
$$L_2 = I_2\overline{I_3} + \overline{I_2}\cdot I_3 = \qquad = \overline{\overline{I_2\overline{I_3}}\cdot\overline{\overline{I_2}\cdot I_3}}$$



d) **Circuito con puertas NOR de 2 entradas**

$$L_1 = I_1\overline{I_2} + \overline{I_1}\cdot I_2 = \overline{\overline{I_1\overline{I_2}}} + \overline{\overline{\overline{I_1}\cdot I_2}} = \overline{\overline{I_1} + I_2} + \overline{I_1 + \overline{I_2}} = \overline{\overline{\overline{\overline{I_1} + I_2} + \overline{I_1 + \overline{I_2}}}}$$

$$L_2 = I_2\overline{I_3} + \overline{I_2}\cdot I_3 = \qquad = \overline{\overline{\overline{\overline{I_2} + I_3} + \overline{I_2 + \overline{I_3}}}}$$

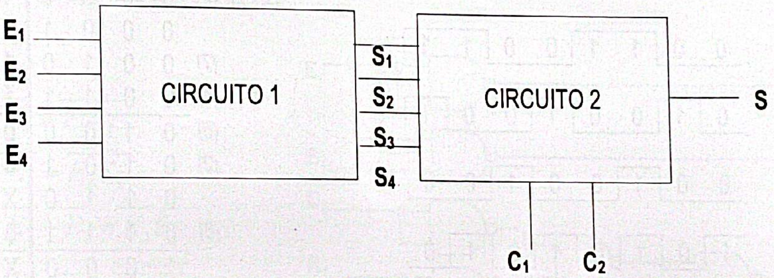


Problema 1.9

Se trata de diseñar un circuito (figura 1) capaz de entregar una única señal S, con cuatro tipos de forma de onda (figura 2), cuyas características son:

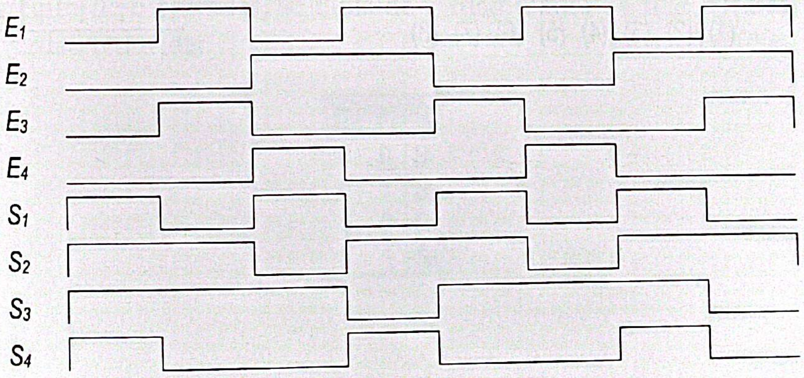
S_1: relación de aspecto 1 a 1 (un periodo a 1 lógico, un periodo a 0 lógico). Periodo de la señal: 2T.
S_2: relación de aspecto 2 a 1 (dos periodos a 1 lógico, un periodo a 0 lógico). Periodo de la señal: 3T.
S_3: relación de aspecto 3 a 1 (tres periodos a 1 lógico, un periodo a 0 lógico). Periodo de la señal: 4T.
S_4: relación de aspecto 1 a 2 (un periodo a 1 lógico, dos periodos a 0 lógico). Periodo de la señal: 3T.

Figura 1



Para poder obtener estas señales se dispone de las señales (figura 2) E_1, E_2, E_3 y E_4.

Figura 2



Mediante las señales de control C_1 y C_2, se seleccionará el tipo de forma de onda a obtener en S:

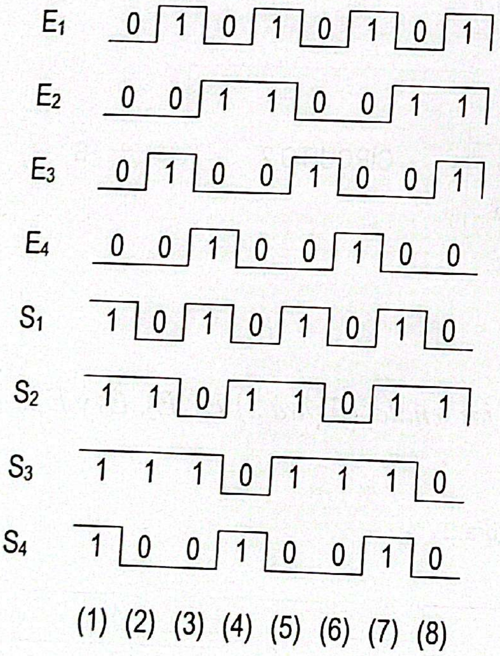
(C_2,C_1) = 00, se obtendrá en S la forma de onda S_1.
(C_2,C_1) = 01, se obtendrá en S la forma de onda S_2.
(C_2,C_1) = 10, se obtendrá en S la forma de onda S_3.
(C_2,C_1) = 11, se obtendrá en S la forma de onda S_4.

Se pide:

a) *Tabla de verdad del circuito 1.*
b) *Ecuaciones simplificadas (por Karnaugh) de las salidas S_1, S_2, S_3 y S_4, del circuito 1.*
c) *Realizar el circuito 1 con puertas NAND*
d) *Tabla de verdad del circuito 2.*
e) *Ecuación de la salida S del circuito 2*
f) *Realizar el circuito 2 con puertas NOR.*

Solución

a) Tabla de verdad del circuito 1



	E_4	E_3	E_2	E_1	S_4	S_3	S_2	S_1
(1)	0	0	0	0	1	1	1	1
	0	0	0	1	X	X	X	X
(7)	0	0	1	0	1	1	1	1
(4)	0	0	1	1	1	0	1	0
(5)	0	1	0	0	0	1	1	1
(2)	0	1	0	1	0	1	1	0
	0	1	1	0	X	X	X	X
(8)	0	1	1	1	0	0	1	0
	1	0	0	0	X	X	X	X
(6)	1	0	0	1	0	1	0	0
(3)	1	0	1	0	0	1	0	1
	1	0	1	1	X	X	X	X
	1	1	0	0	X	X	X	X
	1	1	0	1	X	X	X	X
	1	1	1	0	X	X	X	X
	1	1	1	1	X	X	X	X

b) Ecuaciones simplificadas de S_1, S_2, S_3 y S_4

S_4

E_2E_1 \ E_4E_3	00	01	11	10
00	1	0	X	X
01	X	0	X	0
11	1	0	X	X
10	1	X	X	0

$S_4 = \overline{E_4} \cdot \overline{E_3}$

S_3

E_2E_1 \ E_4E_3	00	01	11	10
00	1	1	X	X
01	X	1	X	1
11	0	0	X	X
10	1	X	X	1

$S_3 = \overline{E_2} + \overline{E_1}$

S_2

E_2E_1 \ E_4E_3	00	01	11	10
00	1	1	X	X
01	X	1	X	0
11	1	1	X	X
10	1	X	X	0

$S_2 = \overline{E_4}$

S_1

E_2E_1 \ E_4E_3	00	01	11	10
00	1	1	X	X
01	X	0	X	0
11	0	0	X	X
10	1	X	X	1

$S_1 = \overline{E_1}$

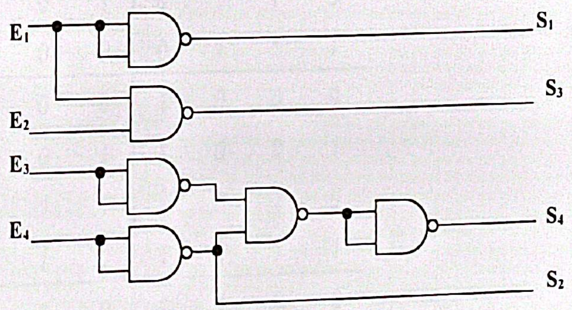
c) Circuito 1 con puertas NAND

$S_1 = \overline{E_1} = \overline{E_1E_1}$

$S_2 = \overline{E_4} = \overline{E_4E_4}$

$S_3 = \overline{E_2} + \overline{E_1} = \overline{E_2E_1}$

$S_4 = \overline{E_4} \cdot \overline{E_3} = \overline{\overline{\overline{E_4} \cdot \overline{E_3}}}$



d) Tabla de verdad del circuito 2

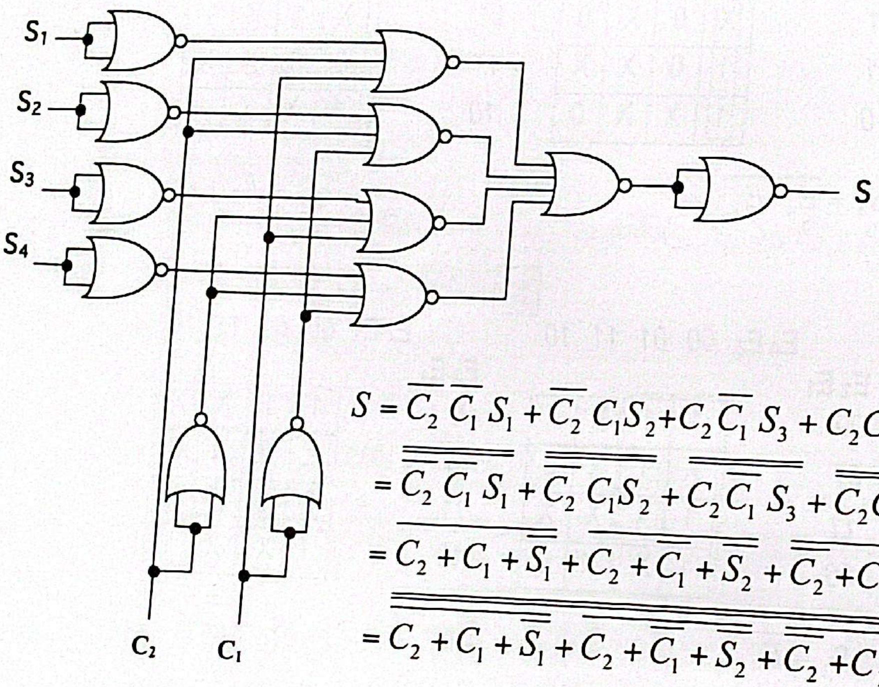
Al ser un circuito de 6 entradas, su tabla de verdad tendrá 64 filas. Utilizaremos la siguiente tabla de verdad reducida:

C_2	C_1	S
0	0	S_1
0	1	S_2
1	0	S_3
1	1	S_4

e) Ecuación de salida S

$$S=\overline{C_2}\cdot\overline{C_1}\cdot S_1+\overline{C_2}\cdot C_1 S_2+C_2\overline{C_1}\cdot S_3+C_2 C_1 S_4$$

f) Circuito 2 con puertas NOR



$$S=\overline{C_2}\,\overline{C_1}\,S_1+\overline{C_2}\,C_1S_2+C_2\overline{C_1}\,S_3+C_2C_1S_4=$$

$$=\overline{\overline{\overline{C_2}\,\overline{C_1}\,S_1}}+\overline{\overline{\overline{C_2}\,C_1S_2}}+\overline{\overline{C_2\overline{C_1}\,S_3}}+\overline{\overline{C_2C_1S_4}}=$$

$$=\overline{C_2+C_1+\overline{S_1}}+\overline{C_2+\overline{C_1}+\overline{S_2}}+\overline{\overline{C_2}+C_1+\overline{S_3}}+\overline{\overline{C_2}+\overline{C_1}+\overline{S_4}}=$$

$$=\overline{\overline{\overline{C_2+C_1+\overline{S_1}}+\overline{C_2+\overline{C_1}+\overline{S_2}}+\overline{\overline{C_2}+C_1+\overline{S_3}}+\overline{\overline{C_2}+\overline{C_1}+\overline{S_4}}}}$$

Escaneado con CamScanner

2
Códigos de numeración

Problema 2.1

La tabla adjunta expresa la relación entre el código GRAY y el código BINARIO NATURAL para números de 4 bits.

DECIMAL	GRAY				BINARIO			
	G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1
10	1	1	1	1	1	0	1	0
11	1	1	1	0	1	0	1	1
12	1	0	1	0	1	1	0	0
13	1	0	1	1	1	1	0	1
14	1	0	0	1	1	1	1	0
15	1	0	0	0	1	1	1	1

a) *Diseñe un circuito combinacional (trascodificador) que transforme el código GRAY al código BINARIO NATURAL. Utilice sólo puertas OR-EXCLUSIVE de dos entradas.*

b) *Diseñe un circuito combinacional (trascodificador) que transforme el código BINARIO NATURAL al código GRAY. Utilice sólo puertas OR-EXCLUSIVE de dos entradas.*

c) *Basándose en los apartados anteriores, diseñe un circuito combinacional que mediante una entrada de control C, sea capaz, tanto de codificar BINARIO NATURAL a GRAY, como GRAY a BINARIO NATURAL.*

Escaneado con CamScanner

Si C = 0 convierte GRAY a BINARIO NATURAL
Si C = 1 convierte BINARIO NATURAL a GRAY
Utilice sólo puertas OR-EXCLUSIVE y NAND de dos entradas.

Solución

a) **Transcodificador Gray a binario**

Nº DECIMAL	ENTRADAS - GRAY				SALIDAS - BINARIO			
	G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
3	0	0	1	0	0	0	1	1
2	0	0	1	1	0	0	1	0
7	0	1	0	0	0	1	1	1
6	0	1	0	1	0	1	1	0
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
15	1	0	0	0	1	1	1	1
14	1	0	0	1	1	1	1	0
12	1	0	1	0	1	1	0	0
13	1	0	1	1	1	1	0	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1
11	1	1	1	0	1	0	1	1
10	1	1	1	1	1	0	1	0

Simplificando las salidas por Karnaugh

B_3

G_1G_0 \ G_3G_2	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$$B_3 = G_3$$

B_2

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

$$B_2 = \overline{G_3} \cdot G_2 + G_3\overline{G_2} = G_3 \oplus G_2$$
$$= B_3 \oplus G_2$$

B_1

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	1	0	1	0
10	1	0	1	0

$$B_1 = \overline{G_3} \cdot G_2\overline{G_1} + G_3\overline{G_2} \cdot \overline{G_1} + \overline{G_3} \cdot \overline{G_2}G_1 +$$
$$+ G_3G_2G_1 = (\overline{G_3} \cdot G_2 + G_3\overline{G_2})\overline{G_1} +$$
$$+ (\overline{G_3} \cdot \overline{G_2} + G_3G_2)G_1 = (G_3 \oplus G_2)\overline{G_1} +$$
$$+ (\overline{G_3 \oplus G_2})G_1 = G_3 \oplus G_2 \oplus G_1 =$$
$$= (G_3 \oplus G_2) \oplus G_1 = B_2 \oplus G_1$$

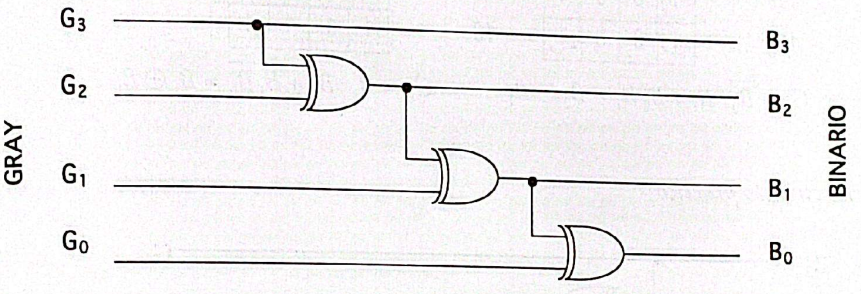
Escaneado con CamScanner

B_0

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

$$B_0 = \overline{G_3}\cdot G_2\overline{G_1}\cdot\overline{G_0} + G_3\overline{G_2}\cdot\overline{G_1}\cdot\overline{G_0} + \overline{G_3}\cdot\overline{G_2}\cdot\overline{G_1}\cdot G_0 + G_3G_2\overline{G_1}\cdot G_0 + \overline{G_3}\cdot G_2G_1G_0 + G_3\overline{G_2}\cdot G_1G_0 +$$
$$+\overline{G_3}\cdot\overline{G_2}\cdot G_1\overline{G_0} + G_3G_2G_1\overline{G_0} = (\overline{G_3}\cdot G_2 + G_3\overline{G_2})\overline{G_1}\cdot\overline{G_0} + (\overline{G_3}\cdot\overline{G_2} + G_3G_2)\overline{G_1}\cdot G_0 +$$
$$+(\overline{G_3}\cdot G_2 + G_3\overline{G_2})G_1G_0 + (\overline{G_3}\cdot\overline{G_2} + G_3G_2)G_1\overline{G_0} = (\overline{G_3}\cdot G_2 + G_3\overline{G_2})(\overline{G_1}\cdot\overline{G_0} + G_1G_0) +$$
$$+(\overline{G_3}\cdot\overline{G_2} + G_3G_2)(\overline{G_1}\cdot G_0 + G_1\overline{G_0}) = (G_3 \oplus G_2)(\overline{G_1 \oplus G_0}) + (\overline{G_3 \oplus G_2})(G_1 \oplus G_0) =$$
$$= G_3 \oplus G_2 \oplus G_1 \oplus G_0 = ((G_3 \oplus G_2) \oplus G_1) \oplus G_0 = B_1 \oplus G_0$$

El circuito práctico



b) Transcodificador binario a Grey

Nº Decimal	Entradas - Binario				Salidas - Gray			
	B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

Escaneado con CamScanner

Simplificando las salidas por Karnaugh

G3

B_1B_0 \ B_3B_2	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$$G_3 = B_3$$

G2

B_1B_0 \ B_3B_2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

$$G_2 = \overline{B_3} \cdot B_2 + B_3\overline{B_2} = B_3 \oplus B_2$$

G1

B_1B_0 \ B_3B_2	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	0	0	1
10	1	0	0	1

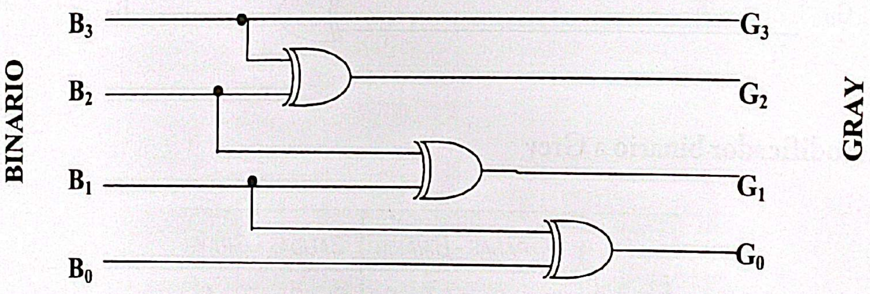
$$G_1 = \overline{B_2} \cdot B_1 + B_2\overline{B_1} = B_2 \oplus B_1$$

G0

B_1B_0 \ B_3B_2	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

$$G_0 = \overline{B_1} \cdot B_0 + B_1\overline{B_0} = B_1 \oplus B_0$$

El circuito práctico



c) **Transcodificador Gray a binario y binario a Gray**

De los apartados anteriores tenemos:

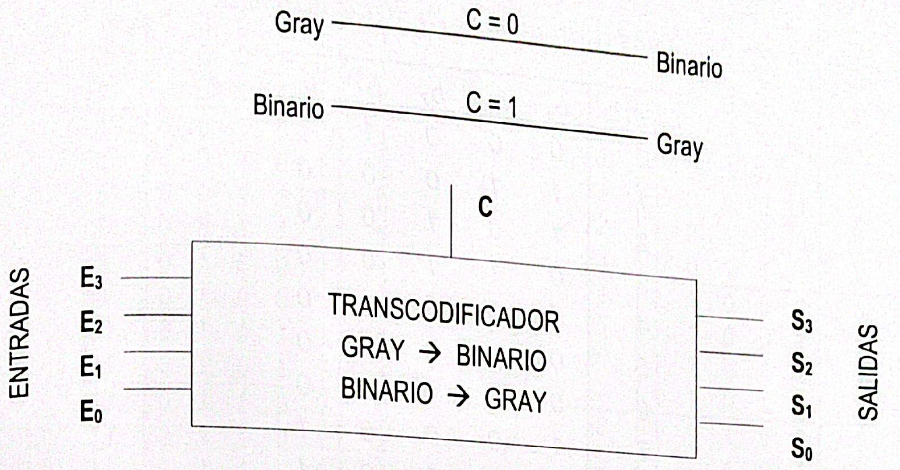
Gray → Binario

$B_3 = G_3$ $B_2 = B_3 \oplus G_2$ $B_1 = B_2 \oplus G_1$ $B_0 = B_1 \oplus G_0$	Entradas: G_0, G_1, G_2, G_3 Salidas: B_0, B_1, B_2, B_3

Binario → Gray

$G_3 = B_3$ $G_2 = B_3 \oplus B_2$ $G_1 = B_2 \oplus B_1$ $G_0 = B_1 \oplus B_0$	Entradas: B_0, B_1, B_2, B_3 Salidas: G_0, G_1, G_2, G_3

El transcodificador será:



Las ecuaciones serán:

$$S_3 = \overline{c}\cdot E_3 + cE_3 = (\overline{c}+c)E_3 = E_3$$

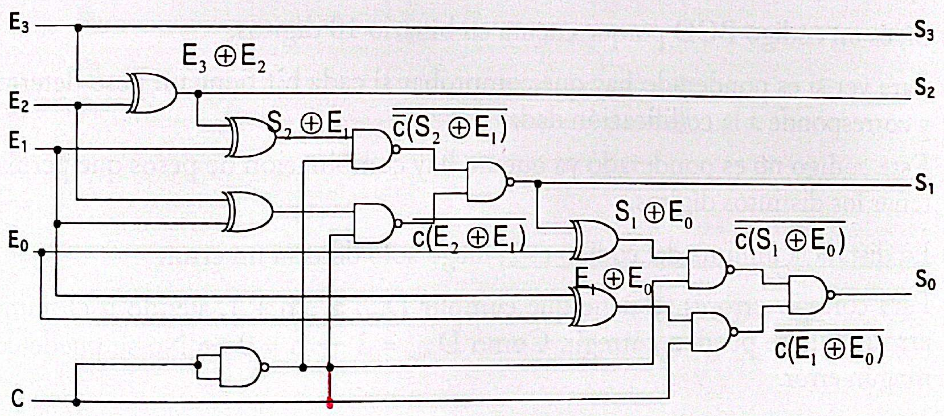
$$S_2 = \overline{c}\cdot(S_3 \oplus E_2) + c(E_3 \oplus E_2) = (\overline{c}+c)(E_3 \oplus E_2) = E_3 \oplus E_2$$

$$S_1 = \overline{c}\cdot(S_2 \oplus E_1) + c(E_2 \oplus E_1) = \overline{\overline{\overline{c}(S_2 \oplus E_1)}\cdot\overline{c(E_2 \oplus E_1)}}$$

$$S_0 = \overline{c}\cdot(S_1 \oplus E_0) + c(E_1 \oplus E_0) = \overline{\overline{\overline{c}(S_1 \oplus E_0)}\cdot\overline{c(E_1 \oplus E_0)}}$$

Gray → Binario | Binario → Gray

El circuito será:



Problema 2.2

La tabla siguiente representa una codificación de los dígitos decimales.

DÍGITO	b_4	b_3	b_2	b_1	b_0
0	0	0	0	1	1
1	1	1	0	0	0
2	1	0	1	0	0
3	0	1	1	0	0
4	1	0	0	1	0
5	0	1	0	1	0
6	0	0	1	1	0
7	1	0	0	0	1
8	0	1	0	0	1
9	0	0	1	0	1

a) *Responda a las siguientes cuestiones:*

1) *¿Es un código BCD? ¿Por qué?*
2) *¿Es un código ponderado? ¿Por qué?*
3) *¿Cuántos errores permite detectar? ¿Por qué?*
4) *¿Cuántos errores permite corregir? ¿Por qué?*

b) *Implemente con puertas conocidas un circuito capaz de detectar un error.*

Solución

a) **Responda a las cuestiones**

1) Sí, es un código BCD porque cuenta en binario 10 dígitos.
2) Para ver si es ponderado hay que comprobar si cada bit tiene un peso determinado y corresponde a la codificación dada.
   Este código no es ponderado ya que no hay combinación de pesos que permita obtener los distintos dígitos.
3) La distancia mínima del código es 2, luego sólo detecta un error.
4) Para corregir errores se tiene que cumplir $D_{mín} \geq 2n + 1$, siendo n el número de errores que se pueden corregir. Como $D_{mín} = 2 \rightarrow n = 0 \rightarrow$ No se puede corregir ningún error.

b) **Circuito**

Con puertas OR Exclusiva se puede obtener un circuito capaz de detectar un error.

Si en una combinación se produce un error habrá 3 '1' ó un sólo '1'.

Escaneado con CamScanner

Nº FILA	b_4	b_3	b_2	b_1	b_0	ERROR (BP)
0	0	0	0	0	0	X
1	0	0	0	0	1	1
2	0	0	0	1	0	1
3	0	0	0	1	1	0
4	0	0	1	0	0	1
5	0	0	1	0	1	0
6	0	0	1	1	0	0
7	0	0	1	1	1	1
8	0	1	0	0	0	1
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	0	1	0	1	1	1
12	0	1	1	0	0	0
13	0	1	1	0	1	1
14	0	1	1	1	0	1
15	0	1	1	1	1	X

Nº FILA	b_4	b_3	b_2	b_1	b_0	ERROR
16	1	0	0	0	0	1
17	1	0	0	0	1	0
18	1	0	0	1	0	0
19	1	0	0	1	1	1
20	1	0	1	0	0	0
21	1	0	1	0	1	1
22	1	0	1	1	0	1
23	1	0	1	1	1	X
24	1	1	0	0	0	0
25	1	1	0	0	1	1
26	1	1	0	1	0	1
27	1	1	0	1	1	X
28	1	1	1	0	0	1
29	1	1	1	0	1	X
30	1	1	1	1	0	X
31	1	1	1	1	1	X

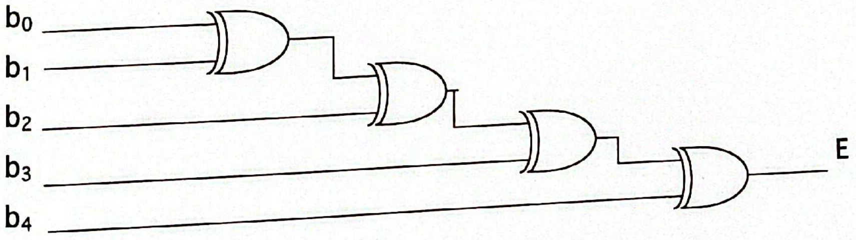
E — $b_4 = 0$

$b_1 b_0$ \ $b_3 b_2$	00	01	11	10
00	X	1	0	1
01	1	0	1	0
11	0	1	X	1
10	1	0	1	0

E — $b_4 = 1$

$b_1 b_0$ \ $b_3 b_2$	00	01	11	10
00	1	0	1	0
01	0	1	X	1
11	1	X	X	X
10	0	1	X	1

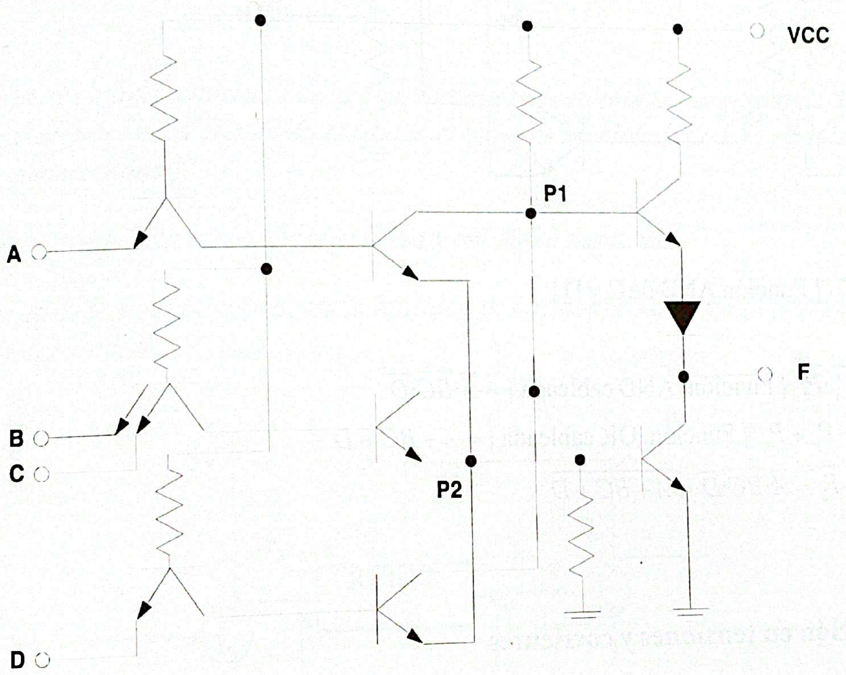
$$E = \overline{b_4} \cdot (b_3 \oplus b_2 \oplus b_1 \oplus b_0) + b_4 (\overline{b_3 \oplus b_2 \oplus b_1 \oplus b_0}) = b_4 \oplus b_3 \oplus b_2 \oplus b_1 \oplus b_0$$



Escaneado con CamScanner

Problema 3.1

a) *Dado el circuito de la figura, indique la expresión lógica que realiza en los puntos P_1, P_2 y en la salida F.*

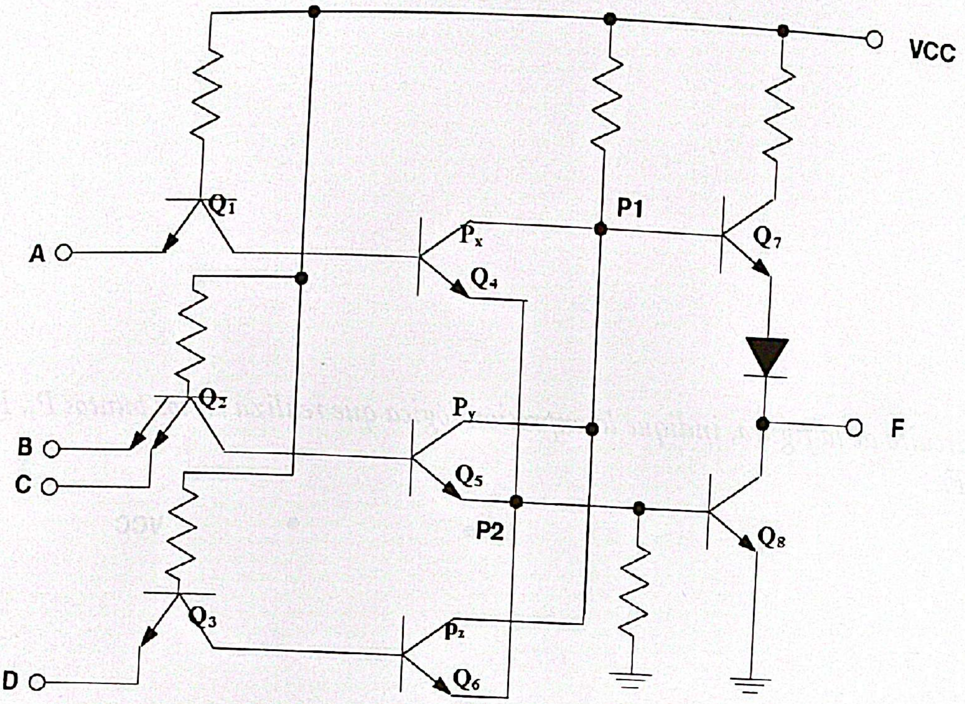


b) *Indique las condiciones que tienen que cumplir las tensiones ($V_{IL\,máx}$, $V_{IH\,mín}$, $V_{OL\,máx}$, $V_{OH\,mín}$) y las corrientes ($I_{IL\,máx}$, $I_{IH\,máx}$, $I_{OL\,máx}$, $I_{OH\,máx}$), para poder conectar dos puertas TTL.*

Escaneado con CamScanner

Solución

c) **Expresión lógica**



$P_x = A$

$P_y = BC$ {Función AND de C y D}

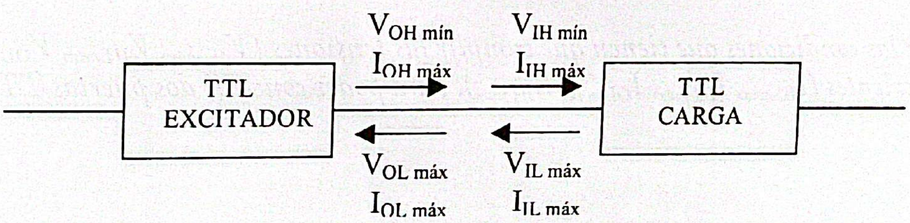
$P_z = D$

$P_1 = \overline{P_x} \cdot \overline{P_y} \cdot \overline{P_z}$ {Función AND cableada} $= \overline{A} \cdot \overline{BC} \cdot \overline{D}$

$P_2 = P_x + P_y + P_z$ {Función OR cableada} $= A + BC + D$

$F = P_1 = \overline{P_2} = \overline{A} \cdot \overline{BC} \cdot \overline{D} = \overline{A + BC + D}$

d) **Condición en tensiones y corrientes**



En tensiones

$V_{OH\,mín} \geq V_{IH\,mín}$

$V_{OL\,máx} \leq V_{IL\,máx}$

En corrientes

$I_{OH\,máx} \geq I_{IH\,máx}$

$I_{OL\,máx} \geq I_{IL\,máx}$

Escaneado con CamScanner

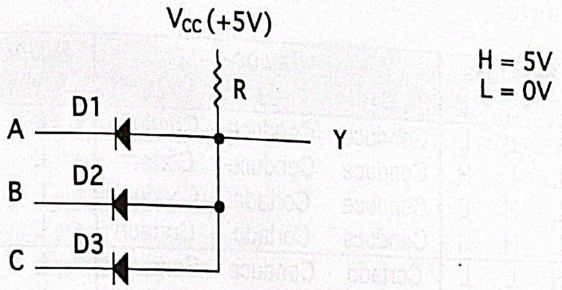
Problema 3.2

Clasificar, de mayor a menor y sin poner valores, las familias lógicas TTL, ECL y MOS:

a) *Según la velocidad.*

b) *Según la potencia disipada.*

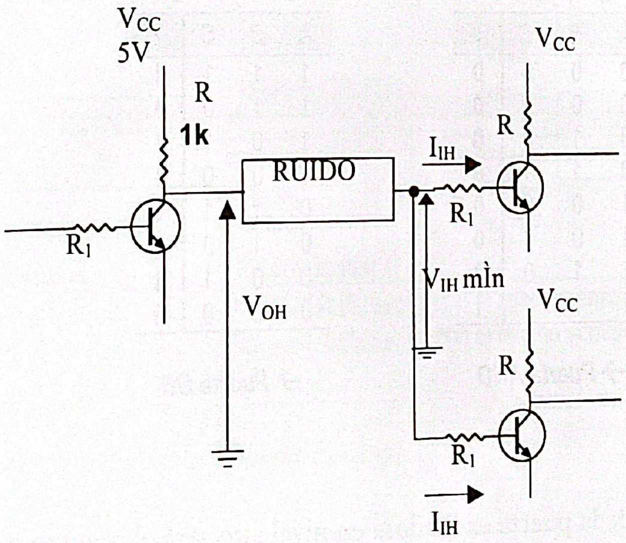
El circuito de la figura 1 es una puerta lógica realizada con diodos y resistencias.



c) *Analizar el funcionamiento de la puerta, indicando en una tabla, para cada una de las combinaciones de los valores de las entradas, el valor de la salida (H o L) y el estado de los diodos (cortado o conduce).*

d) *Indicar qué puerta es con lógica positiva y con lógica negativa.*

El circuito de la figura 2 representa la conexión de varias puertas de carga (excitadas) a la salida de una puerta excitadora.



Suponiendo que:

Cada puerta de carga necesita una corriente de entrada en nivel alto I_{IH} = 0,25 mA.
La tensión mínima de entrada para el nivel H es $V_{IH\,mín}$ = 1 V.
Se quiere que haya un margen de ruido en nivel alto V_{NH} = 0,4 V.

e) *Calcular el fanout máximo de la puerta excitadora en nivel alto.*

Escaneado con CamScanner

Solución

a) **Según velocidad**

$V_{ECL} > V_{TTL} > V_{MOS}$

b) **Según potencia disipada**

$P_{ECL} > P_{TTL} > P_{MOS}$

c) **Análisis de la puerta**

Entradas			Diodos			Salida
A	B	C	D_1	D_2	D_3	Y
L	L	L	Conduce	Conduce	Conduce	L
L	L	H	Conduce	Conduce	Cortado	L
L	H	L	Conduce	Cortado	Conduce	L
L	H	H	Conduce	Cortado	Cortado	L
H	L	L	Cortado	Conduce	Conduce	L
H	L	H	Cortado	Conduce	Cortado	L
H	H	L	Cortado	Cortado	Conduce	L
H	H	H	Cortado	Cortado	Cortado	H

H = 5 V
L ≈ 0 V

Si algún diodo conduce $V_y = V_D \approx 0{,}6\ V \approx 0V = L$
Si todos los diodos cortados $V_y = V_{CC} = 5\ V = H$

d) **Identificicación de la puerta**

Lógica positiva
L = 0 y H = 1

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

→ Puerta AND

Lógica negativa
L = 1 y H = 0

A	B	C	Y
1	1	1	1
1	1	0	1
1	0	1	1
1	0	0	1
0	1	1	1
0	1	0	1
0	0	1	1
0	0	0	0

→ Puerta OR

e) **Fan-out máximo**

El Fan-out máximo de la puerta excitadora en nivel alto será el número máximo de puertas de carga (excitadas) que se pueden conectar en su salida en nivel alto.

Si $V_{IH\,mín} = 1V$ y si $V_{NH} = V_{OH\,min} - V_{IH\,min} = 0{,}4\ V \rightarrow V_{OH} \geq V_{IH\,min} + V_{NH} = 1\ V + 0{,}4\ V = 1{,}4\ V$

Si cada puerta de carga necesita una corriente $I_{IH} = 0{,}25$ mA y si llamamos N al número de puertas de carga conectadas a la salida de la puerta excitadora →

$\rightarrow V_{OH} = V_{CC} - N \cdot I_{IH} \cdot R$

Luego tenemos :

$$V_{OH} = V_{CC} - N \cdot I_{IH} \cdot R \geq V_{IH\,min} + V_{NH} \rightarrow$$
$$\rightarrow \quad N \leq [V_{CC} - (V_{IH\,min} + V_{NH})] / [I_{IH} \cdot R] = (5V - 1{,}4V) / (0{,}25\ mA \cdot 1k\Omega) = 14{,}4$$
$$\rightarrow$$
$$\rightarrow \quad \boldsymbol{N = 14}$$

Podemos conectar como máximo 14 puertas.

Problema 3.3

En la tabla se tienen algunas características eléctricas de dos familias lógicas F1 y F2. Estudie las compatibilidad entre dichas familias, tanto desde el punto de vista de niveles de tensión como de intensidades, e indique si son compatibles:

La F1 como excitadora y la F2 como carga.

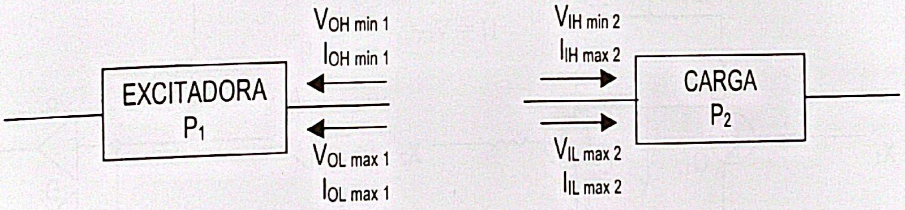
La F2 como excitadora y la F1 como carga.

FAMILIA LÓGICA	V_{OHmin}	$V_{OLmáx}$	V_{IHmin}	$V_{ILmáx}$	$I_{OHmáx}$	$I_{OLmáx}$	$I_{IHmáx}$	$I_{ILmáx}$
F1	*4,99V*	*0,001V*	*3,5V*	*1,5V*	*-0,5mA*	*0,4mA*	*10pA*	*-10pA*
F2	*2,4V*	*0,4V*	*2V*	*0,8V*	*-800 A*	*16mA*	*40 A*	*-1,6mA*

Nota: el signo - indica que la corriente es saliente.

Solución

Las condiciones de compatibilidad entre dos puertas P_1 y P_2 son:



En tensiones

$V_{OH\,min1} \geq V_{IH\,min2}$

$V_{OL\,max1} \leq V_{IL\,max2}$

En corrientes

$|I_{OH\,max1}| \geq |I_{IH\,max2}|$ y con el mismo sentido (diferente signo)

$|I_{OL\,max1}| \geq |I_{IL\,max2}|$ y con el mismo sentido (diferente signo)

Puertas F_1 excitadora y puerta F_2 carga

F_1		F_2	
$V_{OH\,min} = 4{,}99\ V$	$\geq$	$V_{IH\,min} = 2\ V$	
$V_{OL\,max} = 0{,}001\ V$	$\leq$	$V_{IL\,max} = 0{,}8\ V$	
$\lvert I_{OH\,max}\rvert = \lvert -0{,}5\ mA\rvert$	$\geq$	$\lvert I_{IH\,max}\rvert = \lvert 40\ \ A\rvert$	No compatibles
$\lvert I_{OL\,max}\rvert = \lvert 0{,}4\ mA\rvert$	$\geq$	$\lvert I_{IL\,max}\rvert = \lvert -1{,}6\ mA\rvert$	

Escaneado con CamScanner

Puertas F_2 excitadora y puerta F_1 carga

F_2		F_1	
$V_{OH\,min} = 2{,}4\ V$	$\geq$	$V_{IH\,min} = 3{,}5\ V$	No compatibles
$V_{OL\,max} = 0{,}4\ V$	$\leq$	$V_{IL\,max} = 1{,}5\ V$	
$\lvert I_{OH\,max}\rvert = \lvert -800\ \ A\rvert$	$\geq$	$\lvert I_{IH\,max}\rvert = \lvert 10\ pA\rvert$	
$\lvert I_{OL\,max}\rvert = \lvert 16\ mA\rvert$	$\geq$	$\lvert I_{IL\,max}\rvert = \lvert -10\ pA\rvert$	

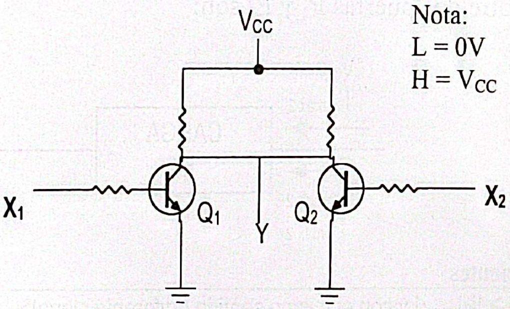
Problema 3.4

a) *Los circuitos de las figuras 1 y 2 son dos puertas lógicas realizadas con transistores bipolares NPN y con transistores MOS. Analice el funcionamiento de ambas puertas, indicando en una tabla, para cada una de las combinaciones de los valores de las entradas, el valor de la salida (H o L) y el estado de los transistores (conduce = ON o cortado = OFF). Indique qué puerta es con lógica positiva el circuito de la figura 1, y qué puerta es con lógica negativa el de la figura 2.*

b) *Dado el circuito de la figura 3 donde las características de las puertas son las siguientes:*

- *Puerta A:* *TTL salida en colector abierto.*
  $I_{OL\,máx} = 5\ mA$ *con* $V_{OL} = 0{,}8V$
- *Puertas B:* $V_{IH\,min} = 2{,}4V$ $I_{IH\,máx} = 100?A$
  $V_{IL\,máx} = 0{,}8V$ $I_{IL\,máx} = -1mA$ *(el - indica que es saliente)*

Determine los valores mínimo y máximo de la resistencia R para el correcto funcionamiento del circuito, es decir, cuando la puerta A pone un cero (L) a su salida y cuando pone un uno (H).



Nota:
L = 0V
H = V_{CC}

Figura 1

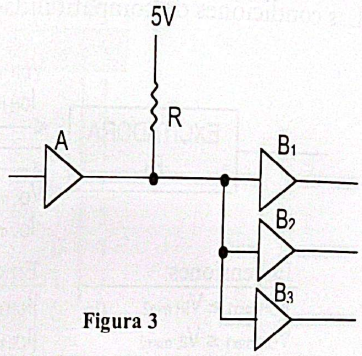


Figura 3

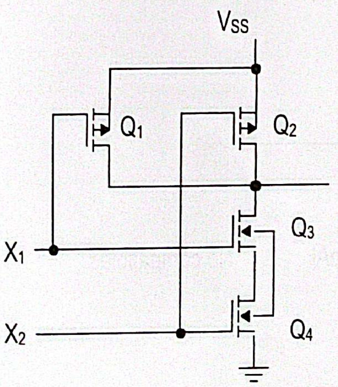
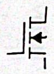


Figura 2

Nota:

1) L = 0V y H = V_{SS}
2) MOS canal N
   Q = ON si $V_{GS} > V_T >$ 0V



3) MOS canal P
   Q = ON si $V_{GS} < V_T <$

Escaneado con CamScanner

Solución

a) Funcionamiento de las puertas

Puerta con transistores bipolares: circuito figura 1

X_1	X_2	Q_1	Q_2	Y
L	L	OFF	OFF	H
L	H	OFF	ON	L
H	L	ON	OFF	L
H	H	ON	ON	L

Lógica positiva → L = 0 ; H = 1

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

Puerta NOR

Puerta con transistores mos: circuito figura 2

X_1	X_2	Q_1	Q_2	Q_3	Q_4	Y
L	L	ON	ON	OFF	OFF	H
L	H	ON	OFF	OFF	ON	H
H	L	OFF	ON	ON	OFF	H
H	H	OFF	OFF	ON	ON	L

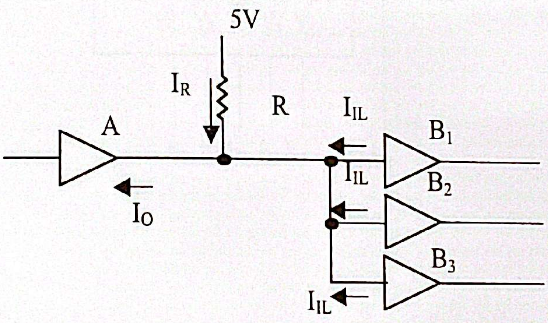
Lógica negativa → L = 1 ; H = 0

X_1	X_2	Y
1	1	0
1	0	0
0	1	0
0	0	1

Puerta NOR

b) Valores de la resistencia

La puerta A pone un cero (= L) a su salida



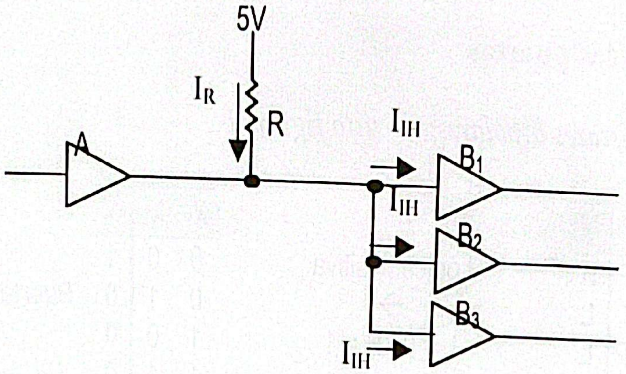
$I_R + 3 \cdot I_{IL\,max} < I_{OL\,max}$

$(5\text{ V} - V_{OL}) / R + 3 \cdot I_{IL\,max} < I_{OL\,max}$

$(5\text{ V} - 0{,}8\text{ V}) / R + 3\text{ mA} < 5\text{ mA} \quad \rightarrow \quad R > (5\text{ V} - 0{,}8\text{ V}) / 2\text{ mA} = 2{,}1\text{ k}\Omega$

Escaneado con CamScanner

La puerta pone un uno (= H) a su salida



$5 - I_R \cdot R > V_{IH\,min}$

$5 - 3 \cdot I_{IH\,max} \cdot R > V_{IH\,min}$

$5 - 3 \cdot 100\ \mu A \cdot R > 2{,}4\ V \quad \rightarrow \quad R < (5 - 2{,}4\ V) / 300\ \mu A = 8{,}6\ k\Omega$

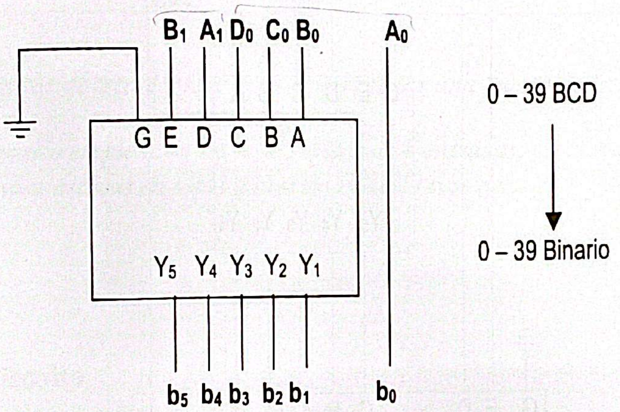
Luego **$2{,}1\ k\Omega \leq R \leq 8{,}6\ k\Omega$1**

4
Sistemas combinacionales

Problema 4.1

Se dispone del circuito integrado 74184. Basándose en dicho circuito diseñar un convertidor de códigos BCD de 2 dígitos a código binario natural. Se deberá explicar el procedimiento de diseño mediante la expresión de las funciones lógicas utilizadas.

El 74184 convierte códigos BCD a binario, pero sólo con palabras de 6 bits de entrada y 6 bits de salida, alcanzando sólo hasta la cifra 39 BCD de entrada.



Solución

0 – 39 BCD → Se necesitan 6 bits, $B_1\ A_1\ D_0\ C_0\ B_0\ A_0$

0 – 39 binario → $2^5 = 32 < 40 < 2^6 = 64$ → Se necesitan 6 bits $b_5\ b_4\ b_3\ b_2\ b_1\ b_0$

$$NBCD = (B_1\ 2^1 + A_1\ 2^0)\ 10 + (D_0\ 2^3 + C_0\ 2^2 + B_0\ 2^1 + A_0\ 2^0)$$

$$Nbinario = b_5\ 2^5 + b_4\ 2^4 + b_3\ 2^3 + b_2\ 2^2 + b_1\ 2^1 + b_0\ 2^0$$

Convertidor de códigos BCD de 2 dígitos a código binario

0 – 99 BCD (8 bits) → 0 – 99 binario

$NBCD = (D_1\,2^3 + C_1\,2^2 + B_1\,2^1 + A_1\,2^0)\ 10 + (D_0\,2^3 + C_0\,2^2 + B_0\,2^1 + A_0\,2^0) =$

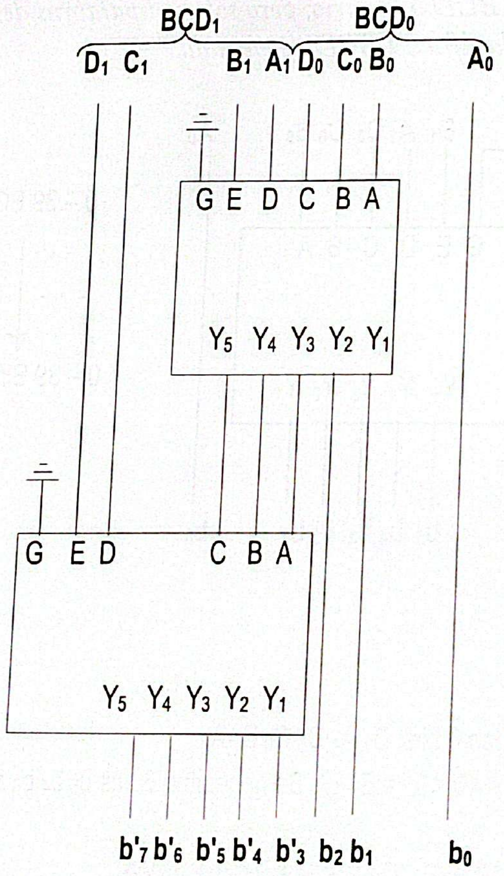
$= (D_1\,2^3 + C_1\,2^2)\ 10 + \underbrace{(B_1\,2^1 + A_1\,2^0)\ 10 + (D_0\,2^3 + C_0\,2^2 + B_0\,2^1 + A_0\,2^0)}_{\text{Convertidor 1 (6 bits)}}$

$N = (D_1\,2^3 + C_1\,2^2)\ 10 + \overbrace{b_5\,2^5 + b_4\,2^4 + b_3\,2^3 + b_2\,2^2 + b_1\,2^1 + b_0\,2^0}^{} =$

$= \underbrace{[(D_1\,2^1 + C_1\,2^0)\ 10 + b_5\,2^3 + b_4\,2^2 + b_3\,2^1]}_{\text{Convertidor 2}}\ 2^2 + b_2\,2^2 + b_1\,2^1 + b_0\,2^0$

$N = \overbrace{(b'_7\,2^5 + b'_6\,2^4 + b'_5\,2^3 + b'_4\,2^2 + b'_3\,2^1)}^{}\ 2^2 + b_2\,2^2 + b_1\,2^1 + b_0\,2^0 =$

$= b'_7\,2^7 + b'_6\,2^6 + b'_5\,2^5 + b'_4\,2^4 + b'_3\,2^3 + b_2\,2^2 + b_1\,2^1 + b_0\,2^0$



Problema 4.2

A un trabajador se le suministra un número secreto de 6 cifras $b_5\, b_4\, b_3\, b_2\, b_1\, b_0$ grabado en una tarjeta magnética, el cual le permitirá acceder al edificio de la empresa. El diseñador del sistema ha utilizado la siguiente función:

Apertura de la puerta → $\overline{b_5} \cdot b_4 \overline{b_3} \cdot b_2 \overline{b_1} \cdot b_0 + \overline{b_5} \cdot b_4 b_3 b_2 \overline{b_1}$

a) *Si se dispone sólo de puertas NAND de dos entradas diseña el circuito. Si una vez dibujado el mismo observas alguna simplificación posible, optimiza el circuito.*

b) *¿Qué tecnología LS, F o HC es la más apropiada de cara a implementar el circuito en un entorno ruidoso? ¿Porqué?*

A continuación se dan las características de estas familias.

Familia	I_{IL} (mA)	I_{IH} (A)	I_{OL} (mA)	I_{OH} (mA)	$V_{IL\,máx}$ (V)	$V_{IH\,mín}$ (V)	$V_{OL\,máx}$ (V)	$V_{OH\,mín}$ (V)
LS	-0,4	20	4	-0,4	0,7	2	0,4	2.5
F	-0,6	20	8	-0,4	0,8	2	0,5	2.5
HC	-0,001	1	0.02	-0,02	0,9	3,15	0,1	4,4

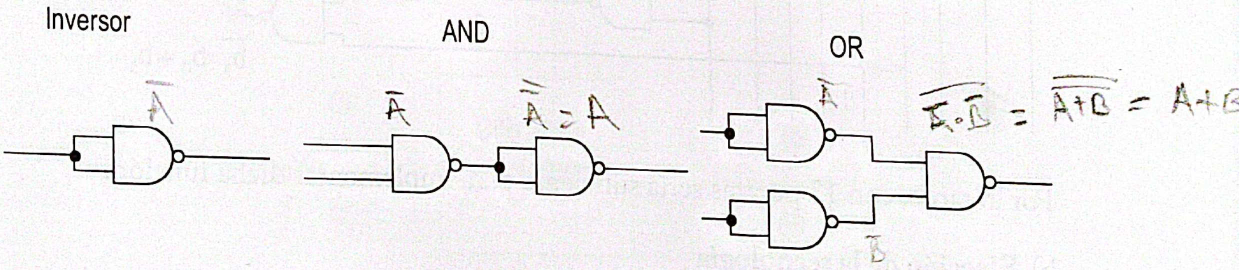
c) *¿A cuántas puertas de tecnología F se podría conectar una puerta de tecnología LS?*

d) *Realizar el circuito empleando un multiplexor de 8 entradas, un decodificador de 3 entradas de control (salidas activas en alta) y puertas NAND si se necesitan.*

Solución

a) Diseño del circuito

La limitación impuesta es que sólo se puede implementar la función con puertas NAND de 2 entradas, con dichas puertas la implementación de otras funciones es muy sencilla.



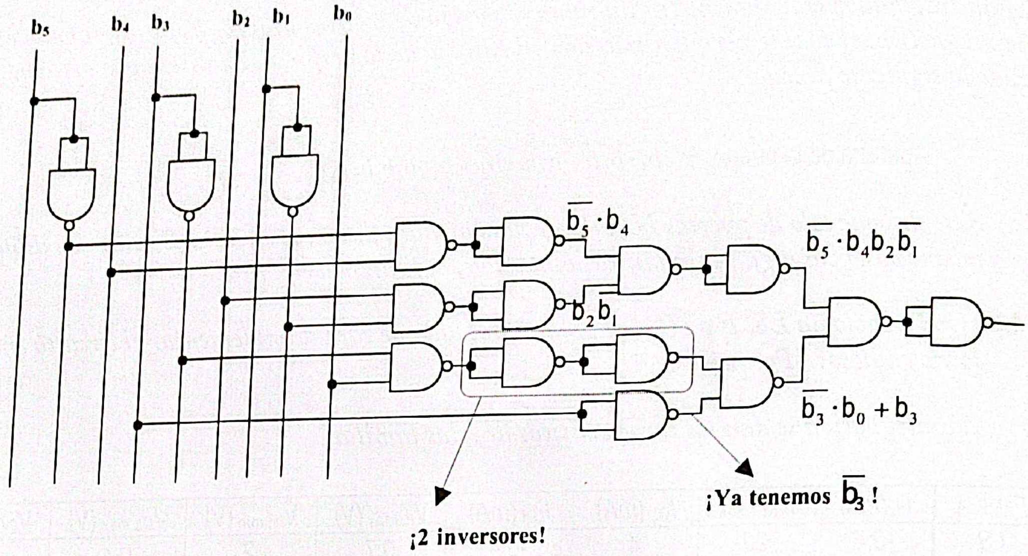
Por otro lado la expresión lógica de la función 'Apertura' es

$$A = \overline{b_5} \cdot b_4 \overline{b_3} \cdot b_2 \overline{b_1} \cdot b_0 + \overline{b_5} \cdot b_4 b_3 b_2 \overline{b_1}$$

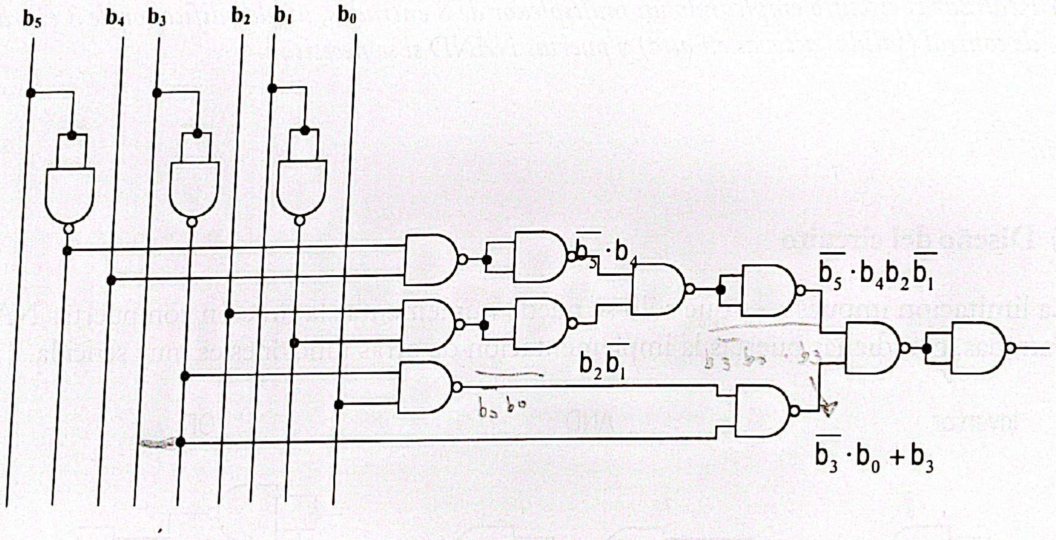
Sacando factor común,

$$A = \overline{b_5} \cdot b_4 b_2 \overline{b_1} (\overline{b_3} \cdot b_0 + b_3) = (\overline{b_5} \cdot b_4)(b_2 \overline{b_1})(\overline{b_3} \cdot b_0 + b_3)$$

Por lo tanto, dibujando directamente esta expresión



Observando en este dibujo las puertas señaladas con líneas de puntos se puede prescindir de 3 puertas más. Es decir, finalmente un solución posible puede ser la siguiente



Por lo tanto, con 13 puertas sería suficiente para implementar dicha función.

b) Elección de la tecnología

Margen de ruido en bajo,

Tecnología HC	Tecnología F

$$NM_L = V_{IL\,max} - V_{OL\,max} = 0{,}9 - 0{,}1 = 0{,}8\ V > 0{,}3\ V$$

$$NM_H = V_{OL\,min} - V_{IL\,max} = 4{,}4 - 3{,}15 = 1{,}25\ V > 0{,}5$$

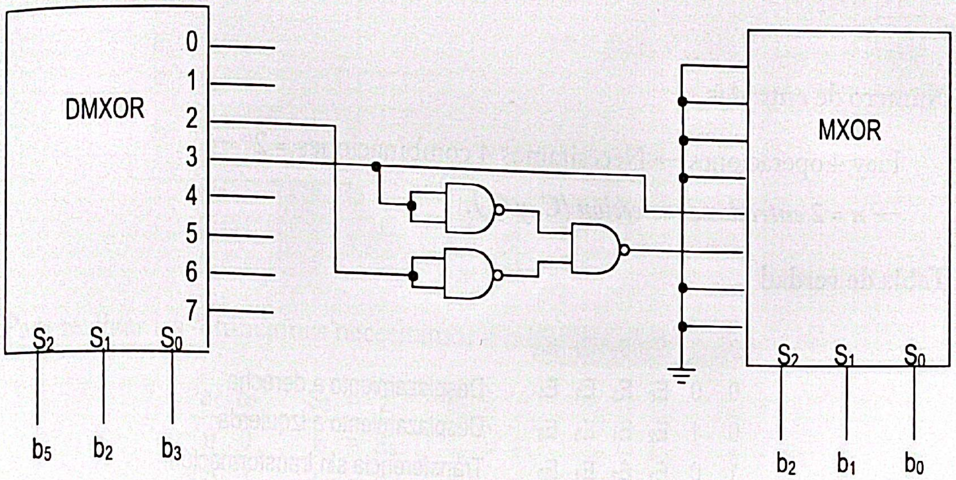
Sería mejor utilizar la tecnología HC debido a que tiene mayores márgenes de ruido.

Escaneado con CamScanner

c) **Número de puertas**

$I_{OH\ max\ LS} / I_{IH\ max\ F} = 0{,}4 \times 10^{-3}\ A / 20 \times 10^{-6}\ A = 20$
$I_{OL\ max\ LS} / I_{IL\ max\ F} = 4 \times 10^{-3}\ A / 0{,}6 \times 10^{-3}\ A = 6{,}666$
} ***6 puertas***

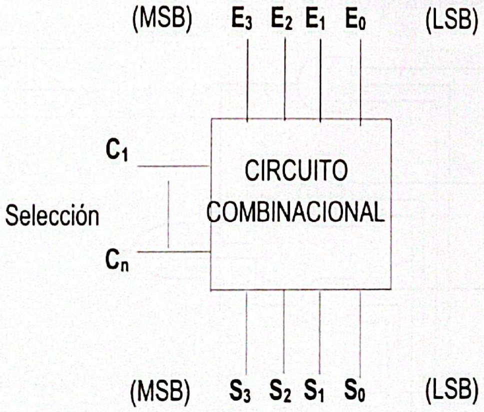
d) **Circuito**



Problema 4.3

a) *Diseñar un circuito combinacional (ver figura) que, sobre palabras de 4 bits y según las entradas de selección, realice las siguientes operaciones:*
- *Desplazamiento de una posición a la derecha.*
- *Desplazamiento de una posición a la izquierda.*
- *Transferencia de entrada a salida, sin transformación.*
- *Complemento a uno o complemento lógico.*

Suponer los bits rotativos en los desplazamientos



Se pide:

a) *El número de entradas de selección necesarias. Justifíquelo.*

b) *Las ecuaciones lógicas de las salidas.*

c) *Considere un bit genérico de peso m. Realice la parte del circuito correspondiente a Sm utilizando puertas simples de cualquier número de entradas.*

d) *Realice el circuito completo utilizando multiplexores con el menor número de entradas de control y puertas inversoras. Indicar la ecuación del multiplexor.*

Solución

a) **Número de entradas**

Hay 4 operaciones → Necesitamos 4 combinaciones = 2^n →
→ ***n = 2 entradas de selección (C_1 y C_2).***

b) **Tabla de verdad**

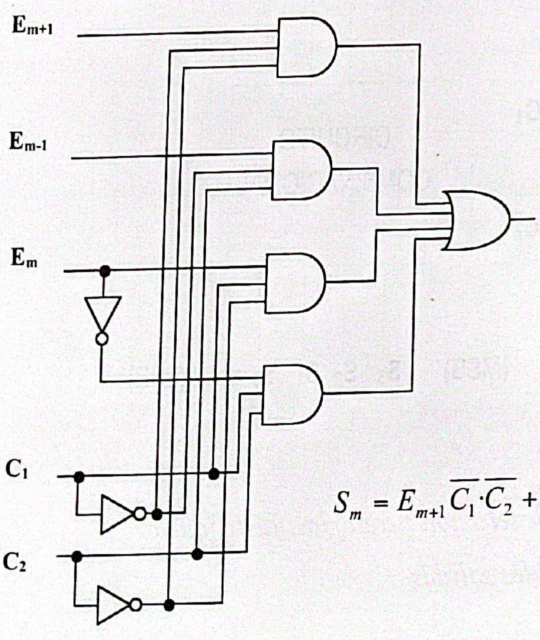
C_1	C_2	S_3	S_2	S_1	S_0	
0	0	E_0	E_3	E_2	E_1	Desplazamiento a derecha
0	1	E_2	E_1	E_0	E_3	Desplazamiento a izquierda
1	0	E_3	E_2	E_1	E_0	Transferencia sin transformación
1	1	E_3	E_2	E_1	E_0	Complemento a 1

Las ecuaciones son:

$$S_3 = E_0\overline{C_1}\cdot\overline{C_2} + E_2\overline{C_1}\cdot C_2 + E_3C_1\overline{C_2} + \overline{E_3}\cdot C_1C_2$$
$$S_2 = E_3\overline{C_1}\cdot\overline{C_2} + E_1\overline{C_1}\cdot C_2 + E_2C_1\overline{C_2} + \overline{E_2}\cdot C_1C_2$$
$$S_1 = E_2\overline{C_1}\cdot\overline{C_2} + E_0\overline{C_1}\cdot C_2 + E_1C_1\overline{C_2} + \overline{E_1}\cdot C_1C_2$$
$$S_0 = E_1\overline{C_1}\cdot\overline{C_2} + E_3\overline{C_1}\cdot C_2 + E_0C_1\overline{C_2} + \overline{E_0}\cdot C_1C_2$$

c) **Circuito correspondiente a S_m**

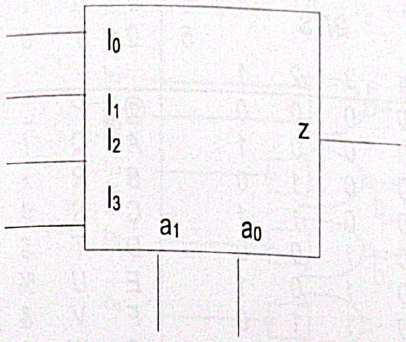
Las ecuaciones anteriores se corresponden a:



$$S_m = E_{m+1}\overline{C_1}\cdot\overline{C_2} + E_{m-1}\overline{C_1}\cdot C_2 + E_mC_1\overline{C_2} + \overline{E_m}\cdot C_1C_2$$

d) **Realización de circuitos con multiplexores**

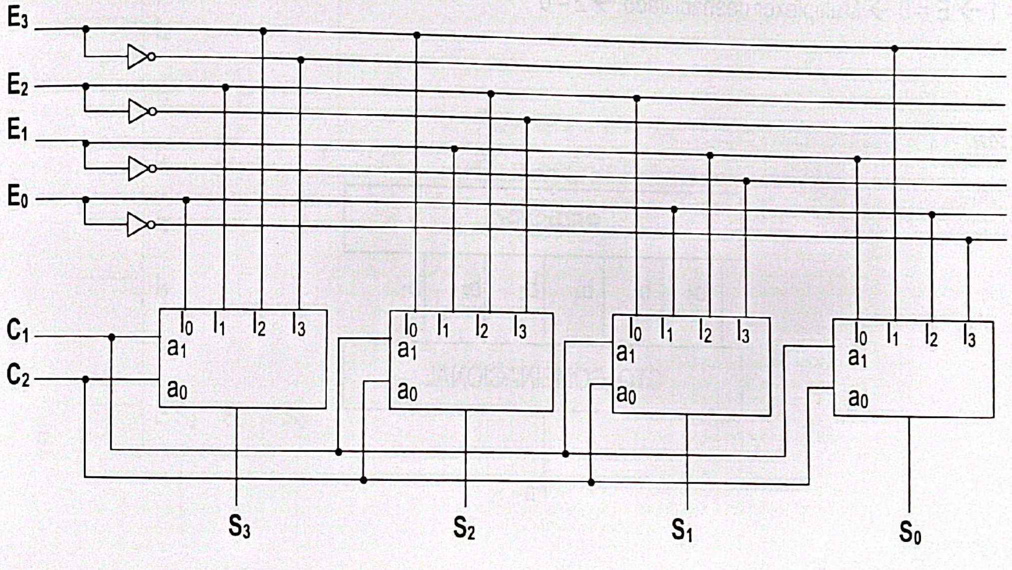
Para realizar cualquiera de las funciones, necesitamos un multiplexor de 2 entradas del control (que se corresponden con C_1 y C_2) y que tendrá 4 entradas de datos.



$$z = I_0\overline{a_1}\,\overline{a_0} + I_1\overline{a_1}a_0 + I_2a_1\overline{a_0} + I_3a_1a_0$$

Para realizar las 4 funciones necesitamos 4 multiplexores con ($a_1 = C_1$ y $a_0 = C_2$).

a_1 a_0	$S_3 = z$	$S_2 = z$	$S_1 = z$	$S_0 = z$
0 0	$I_0 = E_0$	$I_0 = E_3$	$I_0 = E_2$	$I_0 = E_1$
0 1	$I_1 = E_2$	$I_1 = E_1$	$I_1 = E_0$	$I_1 = E_3$
1 0	$I_2 = E_3$	$I_2 = E_2$	$I_2 = E_1$	$I_2 = E_0$
1 1	$I_3 = \overline{E_3}$	$I_3 = \overline{E_2}$	$I_3 = \overline{E_1}$	$I_3 = \overline{E_0}$



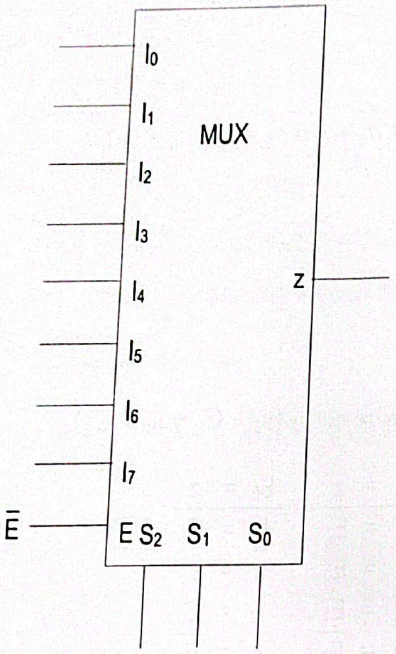
Problema 4.4

En un registro de 6 bits, cuyas salidas están disponibles en paralelo, se almacena información alfanumérica codificada en el código ASCII. Diseñar un circuito combinacional que detecte si el contenido del registro es un carácter numérico:

a) *Utilizando solamente puertas NOR de dos entradas.*

b) *Utilizando un multiplexor (ver figura) y puertas lógicas.*

c) *Utilizando un decodificador / demultiplexor hexadecimal con salidas activas a nivel bajo y con entrada de habilitación activa a nivel bajo, y puertas lógicas.*



$\overline{E}$ = 1 → E = 0 → Multiplexor deshabilitado → z = 0

Código ASCII de 6 bits

BITS				6 / 5	0 / 0	0 / 1	1 / 0	1 / 1
4	3	2	1					
0	0	0	0		@	P	_	0
0	0	0	1		A	Q	!	1
0	0	1	0		B	R	»	2
0	0	1	1		C	S	#	3
0	1	0	0		D	T	$	4
0	1	0	1		E	U	%	5
0	1	1	0		F	V	&	6
0	1	1	1		G	W	'	7
1	0	0	0		H	X	(	8
1	0	0	1		I	Y	)	9
1	0	1	0		J	Z	*	:
1	0	1	1		K	[	+	;
1	1	0	0		L	\	,	<
1	1	0	1		M	]	_	=
1	1	1	0		N	-	-	>
1	1	1	1		O	¬	/	?

Solución

Función F_N

$$F_N = b_6 b_5 f_1$$

f_1

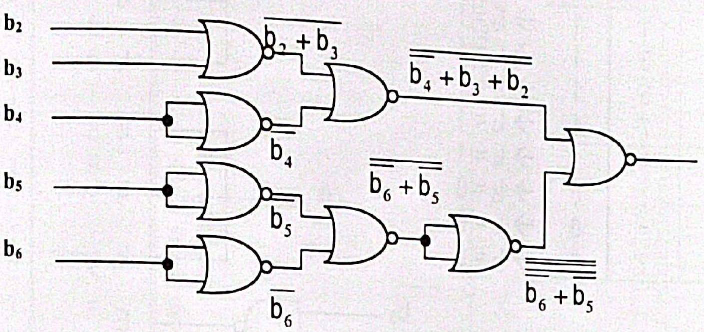
$b_2 b_1$ \ $b_4 b_3$	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	1	1	0	0
10	1	1	0	0

$$f_1 = \overline{b_4} + \overline{b_3} \cdot \overline{b_2}$$

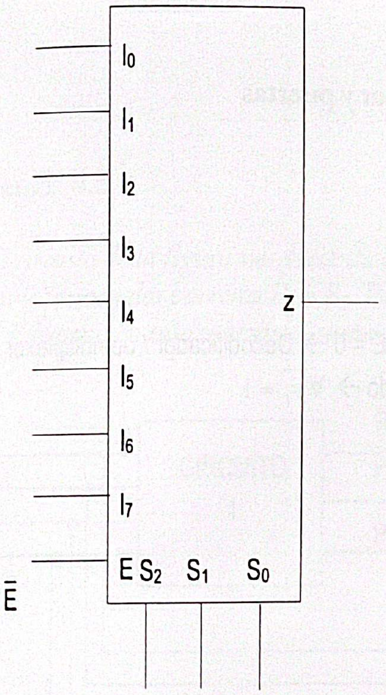
$$F_N = b_6 b_5 (\overline{b_4} + \overline{b_3} \cdot \overline{b_2})$$

a) **Realizar F_N con puertas NOR de 2 entradas**

$$F_N = b_6 b_5(\overline{b_4} + \overline{b_3}\cdot\overline{b_2}) = \overline{\overline{b_6 b_5(\overline{b_4} + \overline{b_3}\cdot\overline{b_2})}} = \overline{\overline{b_6 b_5} + \overline{(\overline{b_4} + \overline{b_3}\cdot\overline{b_2})}} =$$
$$= \overline{\overline{b_6} + \overline{b_5} + \overline{\overline{b_4} + \overline{b_3 + b_2}}} = \overline{\overline{\overline{\overline{b_6} + \overline{b_5}}} + \overline{\overline{b_4} + \overline{b_3 + b_2}}}$$

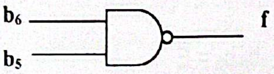


b) **Realizar F_N con un multiplexor y puertas**



$\overline{E} = 1 \rightarrow E = 0 \rightarrow$ Multiplexor deshabilitado $\rightarrow z = 0$
$\overline{E} = 0 \rightarrow E = 1 \rightarrow$ Multiplexor habilitado

En la tabla del código ASCII, los números tienen $b_6 = b_5 = 1$. Utilizamos b_6 y b_5 para habilitar el multiplexor, mediante una puerta NAND.



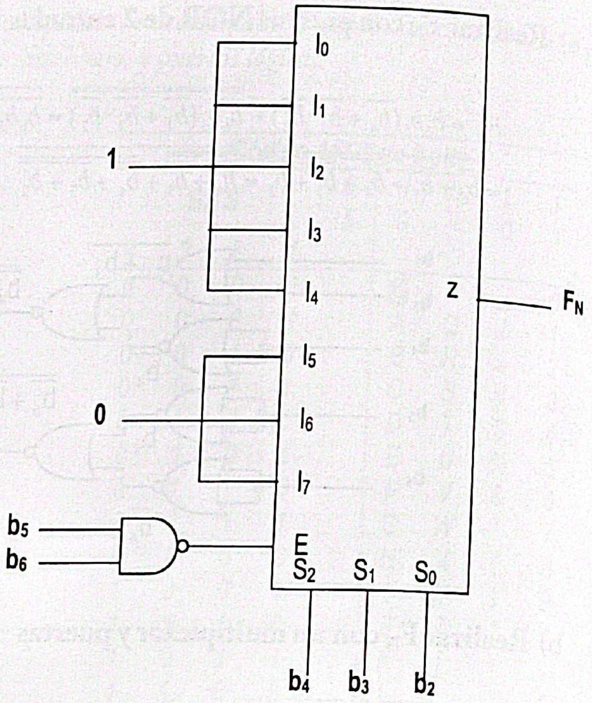
$\overline{b_6 b_5} = \overline{E}$ $\rightarrow b_6 b_5 = E$

$$F_N = b_6 b_5(\overline{b_4} + \overline{b_3}\cdot\overline{b_2}) = E(\overline{b_4} + \overline{b_3}\cdot\overline{b_2}) = Ef_1$$

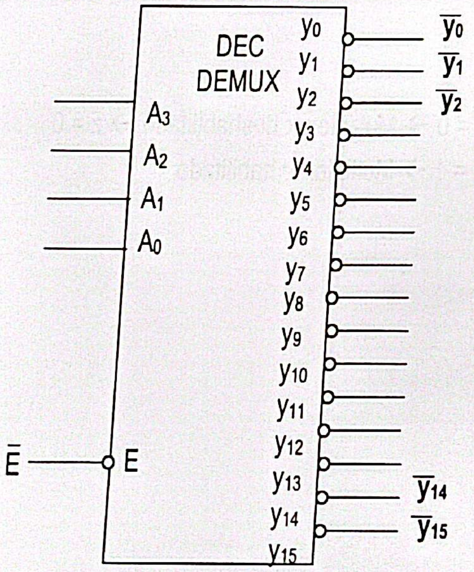
Realizamos la función $f_1 = \overline{b_4} + \overline{b_3}\cdot\overline{b_2}$ con el multiplexor.

Escaneado con CamScanner

b_4	b_3	b_2	$b_1 = 0$	$b_1 = 1$	$f_1 = z$	
0	0	0	0	1	1	→ $I_0 = 1$
0	0	1	2	3	1	→ $I_1 = 1$
0	1	0	4	5	1	→ $I_2 = 1$
0	1	1	6	7	1	→ $I_3 = 1$
1	0	0	8	9	1	→ $I_4 = 1$
1	0	1	:	;	0	→ $I_5 = 0$
1	1	0	<	=	0	→ $I_6 = 0$
1	1	1	>	?	0	→ $I_7 = 0$
S_2	S_1	S_0				

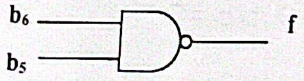


c) **Realizar F_N con el decodificador / demultiplexor y puertas**



E = 1 → E = 0 → Decodificador / demultiplexor deshabilitado → $\forall \overline{y_i} = 1$

Utilizamos b_6 y b_5 para habilitar el decodificador / demultiplexor, mediante una puerta NAND.

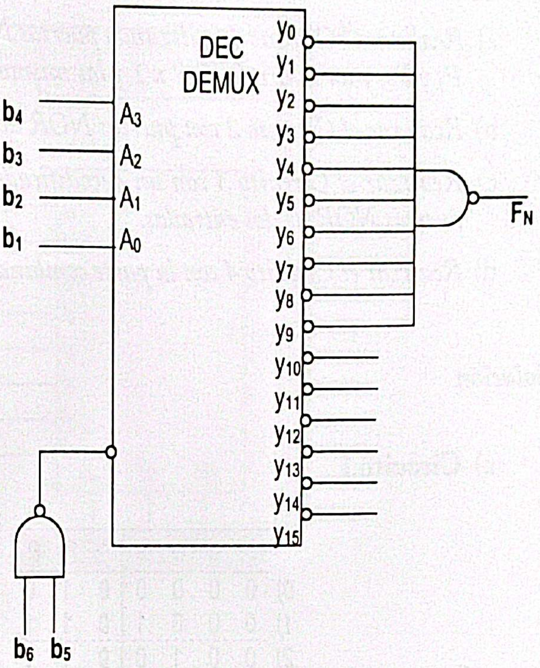


$\overline{b_6 b_5} = \overline{E}$ → $b_6 b_5 = E$

$$F_N = b_6 b_5(\overline{b_4} + \overline{b_3} \cdot \overline{b_2}) = b_6 b_5 f_1$$

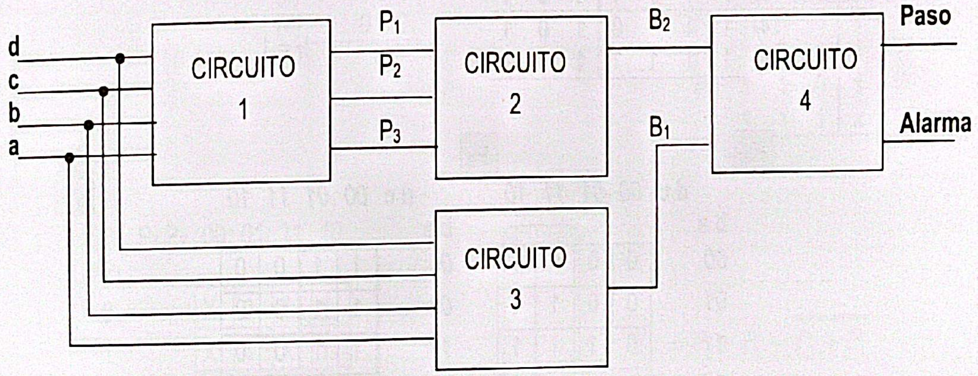
	b_4	b_3	b_2	b_1	$b_6 = b_5 = 1$	F_N
0	0	0	0	0	0	1
1	0	0	0	1	1	1
2	0	0	1	0	2	1
3	0	0	1	1	3	1
4	0	1	0	0	4	1
5	0	1	0	1	5	1
6	0	1	1	0	6	1
7	0	1	1	1	7	1
8	1	0	0	0	8	1
9	1	0	0	1	9	1
10	1	0	1	0	:	0
11	1	0	1	1	;	0
12	1	1	0	0	<	0
13	1	1	0	1	=	0
14	1	1	1	0	>	0
15	1	1	1	1	?	0

$F_N = \sum(0,1,2,3,4,5,6,7,8,9)$



Problema 4.5

El circuito de la figura nos presenta un circuito combinacional que permite el paso por un puente en cuyos lados hay dos barreras B_1 y B_2. Para poder pasar es necesario que las dos barreras estén levantadas ('1' lógico); en caso contrario, suena una alarma.



Para poder levantar B_2 la combinación formada por las tres palancas P_3, P_2, P_1 tiene que ser un número mayor o igual que tres. (P_3 es la variable de mayor peso.)

P_3 se pone en estado '1' cuando los cuatro pulsadores d, c, b y a forman un número mayor que cinco. P_2 se pone a '1' cuando el número formado por los cuatro pulsadores es menor o igual que siete. P_1 se pone a '1' cuando sólo un pulsador está activado ('1' lógico) o cuando los dos pulsadores de mayor peso están activados, (considérese 'd' la variable de mayor peso en todo el problema). La barrera B_1 se levanta cuando los dos pulsadores centrales están actuados ('1').

Biblioteca-UPNA

Escaneado con CamScanner

Se pide:

a) *Realizar el Circuito 1 utilizando puertas NAND de tres entradas para la implementación de P_3 y P_2, y un multiplexor 8 x 1 y las mismas puertas para la implementación de P_1.*

b) *Realizar el Circuito 2 con puertas NOR de dos entradas.*

c) *Realizar el Circuito 3 con un decodificador hexadecimal con salidas activas a nivel bajo y puertas NOR de dos entradas.*

d) *Realizar el Circuito 4 con la parte combinacional que se considere oportuna.*

Solución

a) **Circuito 1**

	d	c	b	a	P_3	P_2	P_1
0)	0	0	0	0	0	1	0
1)	0	0	0	1	0	1	1
2)	0	0	1	0	0	1	1
3)	0	0	1	1	0	1	0
4)	0	1	0	0	0	1	1
5)	0	1	0	1	0	1	0
6)	0	1	1	0	1	1	0
7)	0	1	1	1	1	1	0
8)	1	0	0	0	1	0	1
9)	1	0	0	1	1	0	0
10)	1	0	1	0	1	0	0
11)	1	0	1	1	1	0	0
12)	1	1	0	0	1	0	1
13)	1	1	0	1	1	0	1
14)	1	1	1	0	1	0	1
15)	1	1	1	1	1	0	1

MULTIPLEXOR

$I_0 = a$

$I_1 = \bar{a}$

$I_2 = \bar{a}$

$I_3 = 0$

$I_4 = \bar{a}$

$I_5 = 0$

$I_6 = 1$

$I_7 = 1$

P_3

ba \ dc	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	1	1	1
10	0	1	1	1

$$P_3 = d + cb = \overline{\overline{d + cb}} = \overline{\bar{d} \cdot \overline{cb}}$$

P_2

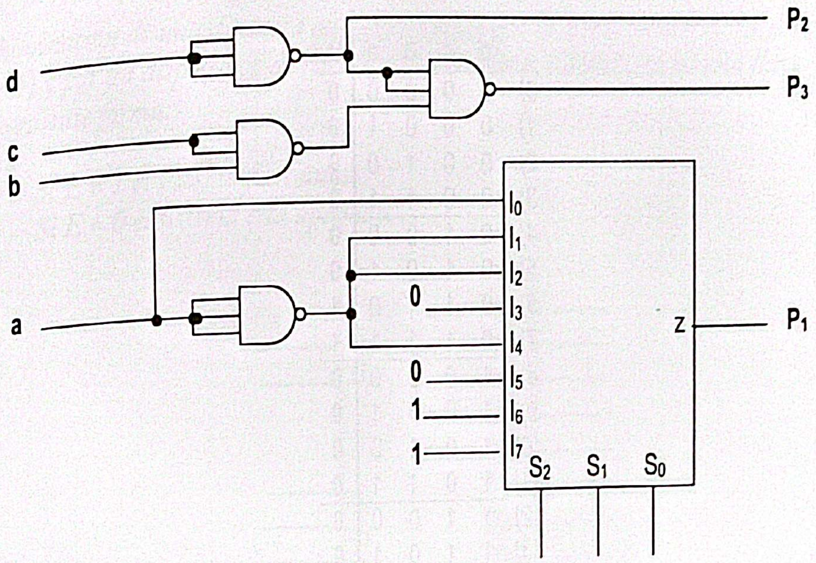
ba \ dc	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

$$P_2 = \bar{d}$$

Para realizar P_1 con el multiplexor tomamos $d = S_2$, $c = S_1$, $b = S_0$ y según la tabla de verdad tenemos $I_0 = a$; $I_1 = I_2 = I_4 = \bar{a}$; $I_3 = I_5 = 0$; $I_6 = I_7 = 1$.

Escaneado con CamScanner

El circuito queda:



b) **Circuito 2**

Para realizar el circuito 2 hay que saber cuando P_3, P_2 y P_1 valen '0' ó '1' en función del circuito 1. Mirando la tabla de verdad del apartado a) tenemos que las combinaciones que se dan son:

	P_3	P_2	P_1
(2)	0	1	0
(3)	0	1	1
(6)	1	1	0
(5)	1	0	1
(4)	1	0	0

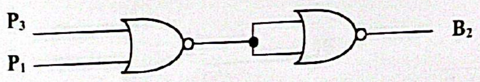
→

	P_3	P_2	P_1	B_2
	0	0	0	x
	0	0	1	x
(2)	0	1	0	0
(3)	0	1	1	1
(4)	1	0	0	1
(5)	1	0	1	1
(6)	1	1	0	1
	1	1	1	x

B_2

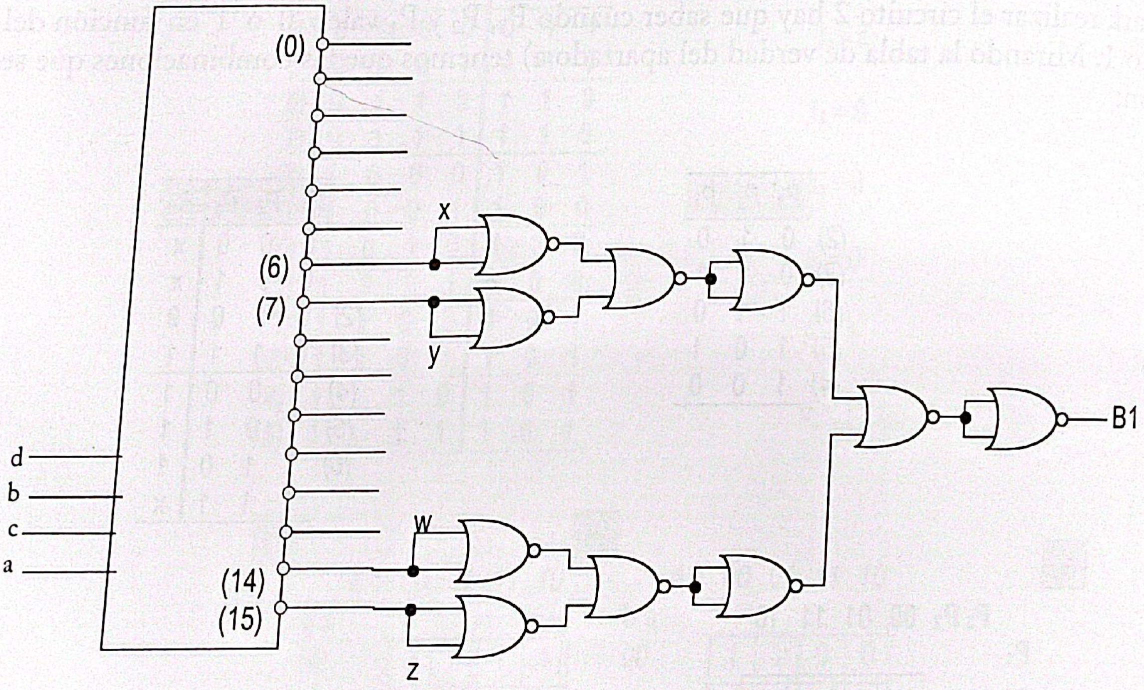
P_1 \ P_3P_2	00	01	11	10
0	X	0	1	1
1	X	1	X	1

$$B_2 = P_3 + P_1 = \overline{\overline{P_3 + P_1}}$$



c) Circuito 3

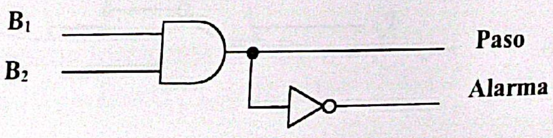
	d	c	b	a	B_1
0)	0	0	0	0	**0**
1)	0	0	0	1	**0**
2)	0	0	1	0	**0**
3)	0	0	1	1	**0**
4)	0	1	0	0	**0**
5)	0	1	0	1	**0**
6)	0	1	1	0	**1**
7)	0	1	1	1	**1**
8)	1	0	0	0	**0**
9)	1	0	0	1	**0**
10)	1	0	1	0	**0**
11)	1	0	1	1	**0**
12)	1	1	0	0	**0**
13)	1	1	0	1	**0**
14)	1	1	1	0	**1**
15)	1	1	1	1	**1**



d) Circuito 4

$Paso = B_2 B_1$

$Alarma = \overline{B_2 B_1}$

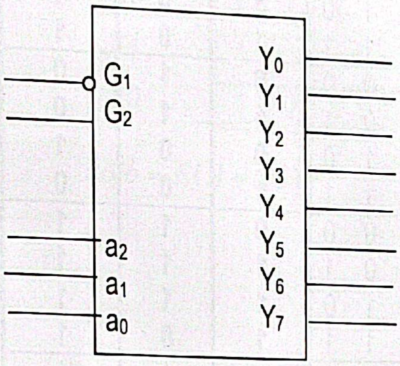


Escaneado con CamScanner

Problema 4.6

La iluminación de una discoteca está constituida por la combinación de luces de tres colores (rojo, azul y verde) y por un dispositivo de rayo láser. El sistema, además, tiene una llave general E que actúa de la siguiente forma:

Si E = 1 el sistema funciona.
Si E = 0 el sistema está apagado.



Las tres luces están controladas por cuatro conmutadores D, C, B, A, de forma que:

- *La luz roja se encenderá siempre que está pulsado el conmutador A, o si está pulsado B y no lo está C.*
- *La luz azul se enciende si no está pulsado B, o cuando estándolo D no lo está A.*
- *La luz verde se enciende si no está pulsado C, o si no lo está A y lo está B, o si está D.*
- *El rayo laser se pone en funcionamiento cuando hay un número impar de luces encendidas.*

Se pide:

a) *Tabla de verdad que indique el funcionamiento de todo el sistema.*

b) *Implementar la función verde con puertas NAND de dos entradas.*

c) *Implementar la función roja utilizando únicamente multiplexores de cuatro canales y entrada de habilitación, G, activa a nivel alto.*

d) *Implementar la función azul con decodificadores, como el de la figura, y la parte combinacional que se considere necesaria.*

e) *Implementar el rayo láser utilizando únicamente semisumadores y hacer un esquema de bloques que responda al funcionamiento de todo el sistema.*

Escaneado con CamScanner

Solución

a) **Tabla de verdad**

E	D	C	B	A	ROJO	AZUL	VERDE	LASER
0	X	X	X	X	0	0	0	0
1	0	0	0	0	0	1	1	0
1	0	0	0	1	1	1	1	1
1	0	0	1	0	1	0	1	0
1	0	0	1	1	1	0	1	0
1	0	1	0	0	0	1	0	1
1	0	1	0	1	1	1	0	0
1	0	1	1	0	0	0	1	1
1	0	1	1	1	1	0	0	1
1	1	0	0	0	0	1	1	0
1	1	0	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1
1	1	0	1	1	1	0	1	0
1	1	1	0	0	0	1	1	0
1	1	1	0	1	1	1	1	1
1	1	1	1	0	0	1	1	0
1	1	1	1	1	1	0	1	0

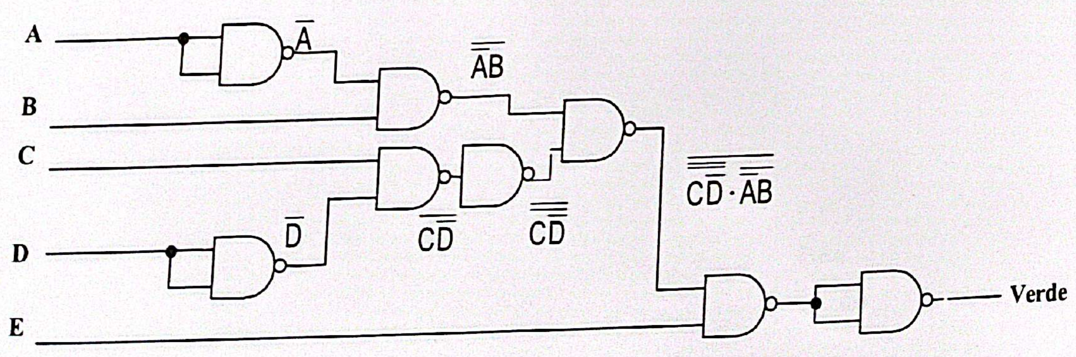
b) **Implementar 'Verde' con NAND de 2 entradas**

Simplificando por Karnaugh

Verde E=1

BA \ DC	00	01	11	10
00	1	0	1	1
01	1	0	1	1
11	1	0	1	1
10	1	1	1	1

$$Verde = E(\overline{C} + D + B\overline{A}) = \overline{\overline{E(\overline{C} + D + B\overline{A})}} = E(\overline{\overline{\overline{C} + D + B\overline{A}}}) = E \cdot \overline{\overline{C\overline{D} \cdot \overline{B\overline{A}}}} = \overline{\overline{E \cdot \overline{\overline{C\overline{D}}} \cdot \overline{B\overline{A}}}}$$



c) Implementar 'Rojo' con multiplexores

Simplificando por Karnaugh

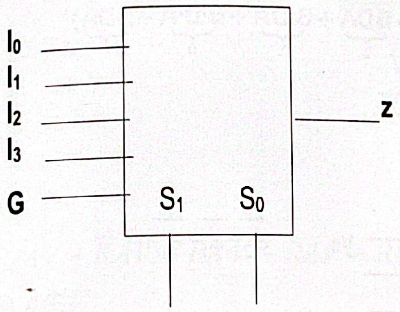
Rojo

E=1

BA \ DC	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	1	1
10	1	0	0	1

$$Rojo = E(A + \overline{C}B)$$

Ecuación del multiplexor



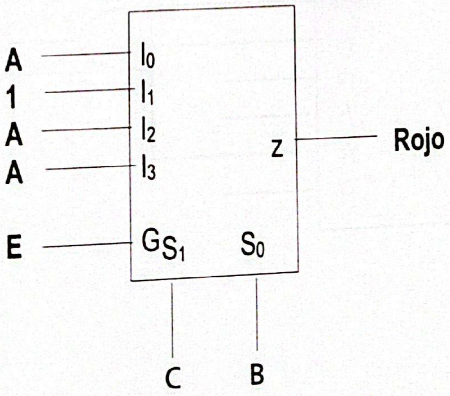
$$z = G(I_0\overline{S_1}\cdot\overline{S_0} + I_1\overline{S_1}\cdot S_0 + I_2 S_1\overline{S_0} + I_3 S_1 S_0)$$

Haciendo E = G, C = S_1 y B = S_0 tenemos:

$$Rojo = E(A + \overline{C}B) = E\left[A(B + \overline{B})(C + \overline{C}) + \overline{C}B\right] =$$
$$= E\{A(BC + B\overline{C} + \overline{B}C + \overline{B}\cdot\overline{C}) + \overline{C}B =$$
$$= E\left[ABC + \mathbf{AB\overline{C}} + A\overline{B}C + A\overline{B}\cdot\overline{C} + \mathbf{\overline{C}B}\right] =$$
$$= E\left[ABC + (\mathbf{A} + 1)\mathbf{B\overline{C}} + A\overline{B}C + A\overline{B}\cdot\overline{C}\right] =$$
$$= E(A\overline{C}\cdot\overline{B} + \overline{C}B + AC\overline{B} + ACB)$$

$$z = G(I_0\overline{S_1}\cdot\overline{S_0} + I_1\overline{S_1}\cdot S_0 + I_2 S_1\overline{S_0} + I_3 S_1 S_0$$

Comparando las dos expresiones se tiene $I_0 = I_2 = I_3 = A$ y $I_1 = 1$.



d) Implementar 'Azul' con decodificadores

Simplificando por Karnaugh

Azul

E=1

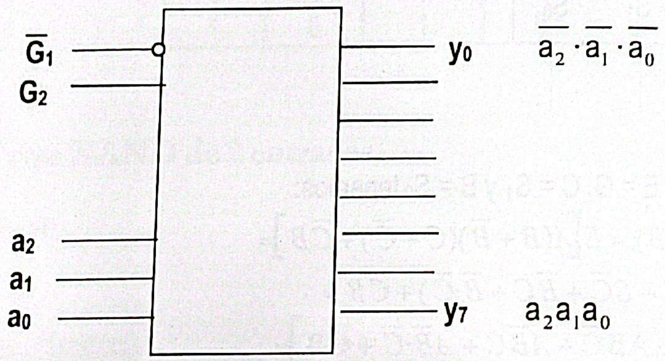
BA \ DC	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	1	1

$$Azul = E(\overline{B} + D\overline{A})$$

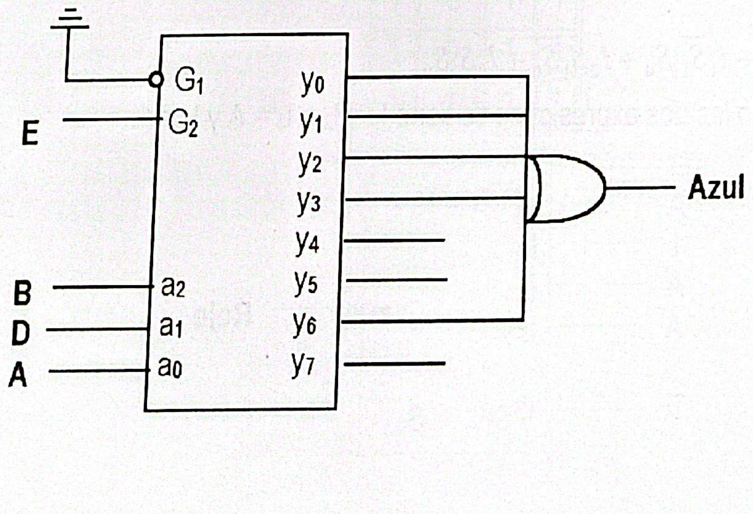
$$Azul = E(\overline{B} + D\overline{A}) = E\left[\overline{B}(D + \overline{D})(A + \overline{A}) + (B + \overline{B})D\overline{A}\right] =$$

$$= E(\overline{B}DA + \overline{B}D\overline{A} + \overline{B}\cdot\overline{D}A + \overline{B}\cdot\overline{D}\cdot\overline{A} + BD\overline{A} + \overline{B}D\overline{A}) = E(\underbrace{BDA}_{3} + \underbrace{BDA}_{2} + \underbrace{B\cdot DA}_{1} + \underbrace{B\cdot D\cdot A}_{0} + \underbrace{BDA}_{6})$$

Decodificador



Haciendo $a_2 = B$, $a_1 = D$, $a_0 = A$, $G_1 = 0$ y $G_2 = E$ tenemos:



c) Implementar 'Láser' con semisumadores

Láser = 1 con nº impar de luces encendidas

Rojo	Azul	Verde	Laser
0	0	0	**0**
0	0	1	**1**
0	1	0	**1**
0	1	1	**0**
1	0	0	**1**
1	0	1	**0**
1	1	0	**0**
1	1	1	**1**

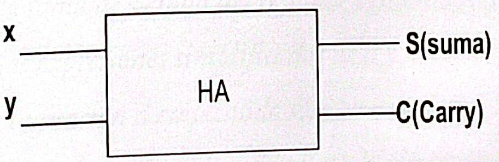
Idea de XOR

L

V \ RA	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$L = \overline{R}\cdot\overline{A}V + \overline{R}A\overline{V} + R\overline{A}\cdot\overline{V} + RAV = \overline{R}(\overline{A}V + A\overline{V}) + R(\overline{A}\cdot\overline{V} + AV) = \overline{R}(A\oplus V) + R\overline{(A\oplus V)} =$$
$$= R\oplus A\oplus V$$

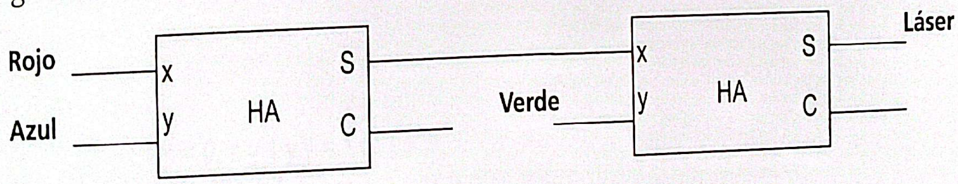
Semisumador



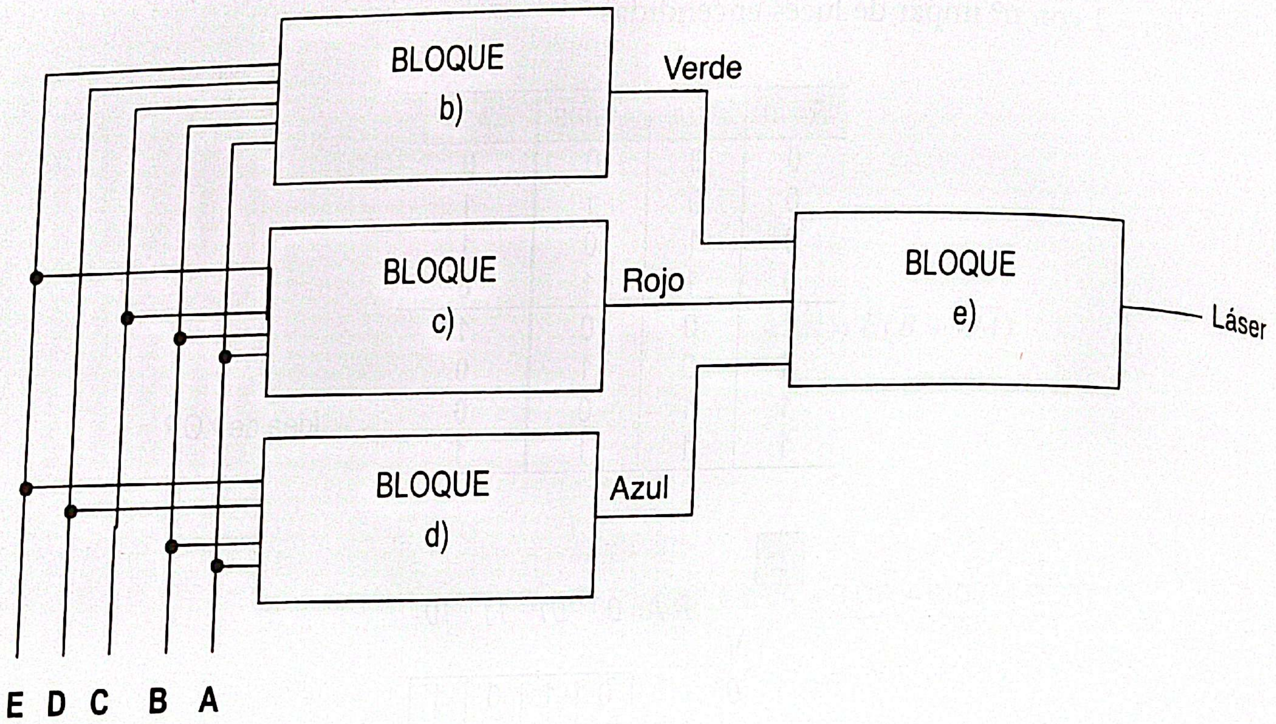
$S = x\oplus y$

$c = xy$

Luego tenemos



Esquema de bloques



5
Circuitos aritméticos

Problema 5.1

De la misma forma que se diseña un sumador binario completo, se puede diseñar un restador binario completo. El restador binario completo es un circuito que realiza la resta de una pareja de bits (m y s) teniendo en cuenta la toma (t') de la pareja anterior de bits. En sus salidas se obtiene dicha resta ó diferencia (d) y la toma (t) de la pareja actual de bits. Su bloque funcional es:

Se pretende diseñar el restador binario completo para lo cual se pide:

a) *Obtener la tabla de verdad del restador binario completo.*

b) *Escribir las expresiones simplificadas de d y t en forma de suma de productos.*

c) *Realizar la función d empleando sólo puertas OR·EXCLUSIVO de dos entradas.*

d) *Realizar la función t empleando un multiplexor de 4 entradas de datos y la salida afirmada.*
NOTA: La toma es el acarreo en el caso de la resta.

Solución

Si m = 0, s = 1 y t' = 1 se tiene:

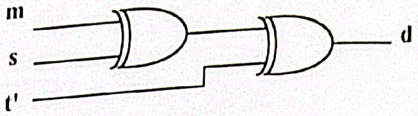
d = m – (s ++ t') = 0 – (1 ++ 1) = 0 – 10 = 10 – 10 = 0 (++ = suma aritmética)

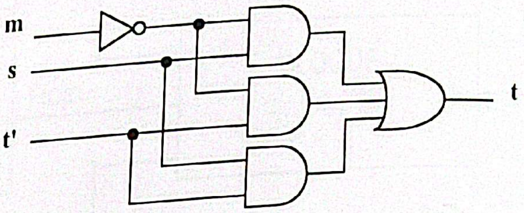
→ Toma t = 1

Escaneado con CamScanner

a) **Tabla de verdad del restador binario completo**

m	s	t'	d	t
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1





b) **Simplificando por Karnaugh**

d

t' \ m s	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Tablero de ajedrez → idea de OR EXCLUSIVO

$d = \{\text{tomando 1's}\} = \overline{m}s\overline{t'} + m\overline{s}\overline{t'} + \overline{m}\cdot\overline{s}t' + mst'$

t

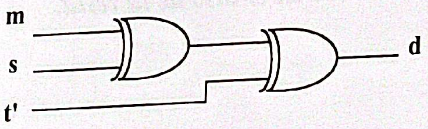
t' \ m s	00	01	11	10
0	0	1	0	0
1	1	1	1	0

$t = \{\text{tomando 1's}\}\ \overline{m}s + \overline{m}t' + st'$

c) **Realizar d con puertas OR EXCLUSIVO**

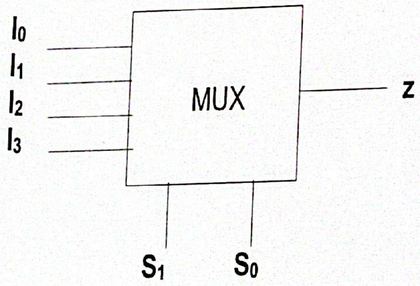
$$d = \overline{m}s\overline{t'} + m\overline{s}\overline{t'} + \overline{m}\cdot\overline{s}t' + mst' = (\overline{m}s + m\overline{s})\overline{t'} + (\overline{m}\cdot\overline{s} + ms)t' =$$

$$= \{\overline{m}s + m\overline{s} = m \oplus s;\ \overline{m}\cdot\overline{s} + ms = \overline{m \oplus s}\} = (m \oplus s)\overline{t'} + (\overline{m \oplus s})t' = (m \oplus s) \oplus t'$$



d) **Realizar t con un multiplexor de 4 entradas de datos**

Un multiplexor de 4 entradas de datos (I_0, I_1, I_2, I_3) tiene 2 entradas de control (S_0 y S_1).



S_1	S_0	z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

Escaneado con CamScanner

La función del multiplexor:

$$z = I_0\overline{S_1}\cdot\overline{S_0} + I_1\overline{S_1}\cdot S_0 + I_2 S_1\overline{S_0} + I_3 S_1 S_0 \qquad (1)$$

La función que hay que realizar:

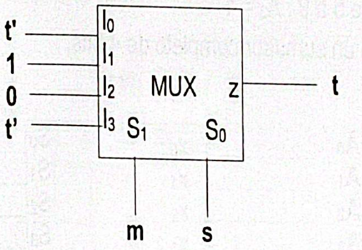
$$t = \overline{m}s + \overline{m}t' + st' \qquad (2)$$

Tomamos como entradas de control las variables m y s, es decir, $S_0 = m$ y $S_1 = s$. Desarrollamos la expresión (2) según los productos canónicos de m y s.

$$\begin{aligned} t &= \overline{m}s + \overline{m}t' + st' = \\ &= \overline{m}s + \overline{m}(s+\overline{s})t' + (m+\overline{m})st' \\ &= \overline{m}s + \overline{m}st' + \overline{m}\overline{s}t' + mst' + \overline{m}st' \\ &= \overline{m}s(1 + t' + t') + \overline{m}\overline{s}t' + mst' \qquad (3) \\ &= \overline{m}s + \overline{m}\overline{s}t' + mst' \\ &= t'\overline{m}\overline{s} + 0\cdot m\overline{s} + 1\cdot\overline{m}s + t'ms \end{aligned}$$

Comparando las expresiones (1) y (3) tenemos:

$I_0 = t'$; $I_1 = 1$; $I_2 = 0$; $I_3 = t'$



Problema 5.2

Diseñar un convertidor de código que pase números codificados en BCD AIKEN al código BCD NATURAL. Utilizar para su implementación solamente sumadores completos de cuatro bits.

La tabla expresa la relación entre el código BCD NATURAL y el código BCD AIKEN.

DECIMAL	BCD NATURAL				BCD AIKEN			
	B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	1	1
6	0	1	1	0	1	1	0	0
7	0	1	1	1	1	1	0	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

Escaneado con CamScanner

Solución

De la tabla se deduce

- De 0 a 4 → Coinciden BCD Aiken con BCD natural
- De 5 a 9 → BCD Aiken – BCD natural = $6_{Base\ 10}$ = $0110_{Base\ 2}$ →

→ BCD natural = BCD Aiken + CA2 (6)
CA2 (6) = CA2 (0110) = 1010 } → BCD natural = BCD Aiken + 1010

Ejemplo:

$5_{BCD\ Aiken}$ = 1011
\+ 1010
1) 0101 = $5_{BCD\ natural}$ (Despreciamos acarreo)

- Conclusión:

  De 0 a 4 hay que sumar 0 al BCD Aiken para obtener BCD natural.

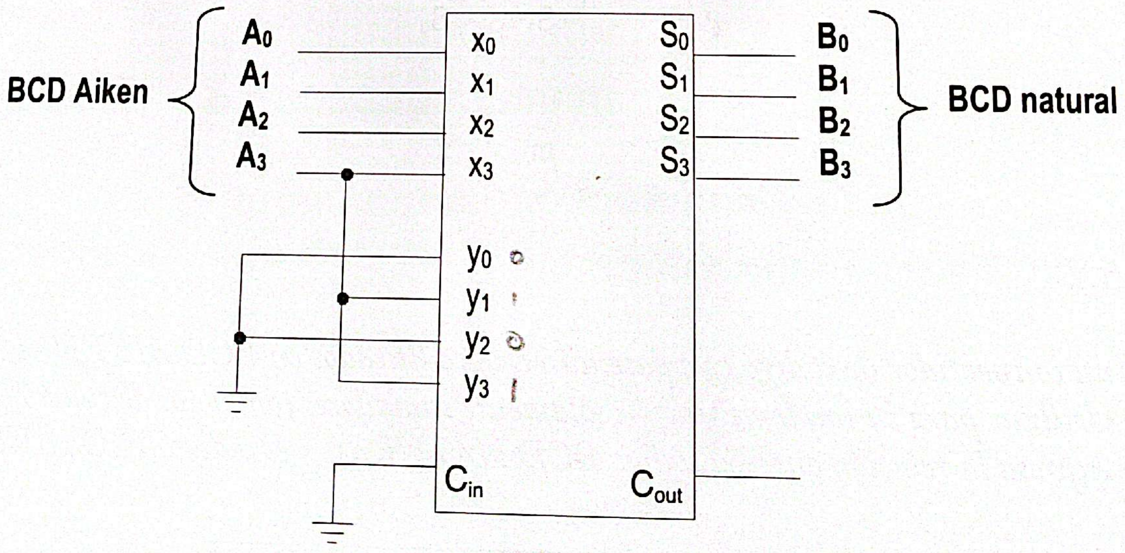
  De 5 a 9 hay que sumar 1010 al BCD Aiken para obtener BCD natural y despreciar el acarreo.

  Teniendo en cuenta que:

  De 0 a 4 : $A_3 = 0$

  De 5 a 9 : $A_3 = 1$

  Utilizando un sumador completo de 4 bits.



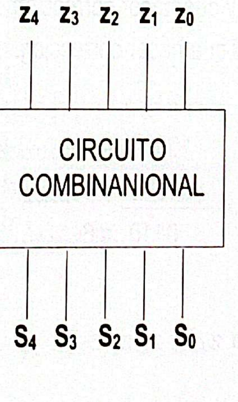
Problema 5.3

Mediante un sumador binario de 4 bits (figura 1) se suman dos dígitos decimales codificados en BCD ($X = x_3\,x_2\,x_1\,x_0$ y $Y = y_3\,y_2\,y_1\,y_0$). Los bits de salida del sumador son $z_4\,z_3\,z_2\,z_1\,z_0$ que, como se sabe, no representan la suma de los digitos X, Y codificada en BCD.

Figura 1

Se desea diseñar un circuito que a partir de las variables $z_{i/i=0...4}$, obtenga los dos digitos de la suma X+Y codificados en BCD. Las variables $S_3\,S_2\,S_1\,S_0$ serán la representación codificada en BCD del dígito menos significativo de la suma y S_4 la del más significativo.

Figura 2



a) *¿En qué casos es necesario efectuar una corrección en las señales $z_4\,z_3\,z_2\,z_1\,z_0$? ¿Qué tipo de corrección?*

b) *Obtenga una función F (simplificada) a partir de las variables $z_4\,z_3\,z_2\,z_1\,z_0$ que valga 1 en el caso que sea precisa la corrección del apartado anterior, y cero cuando no. Realice la función F con un multiplexor de 8 entradas de datos.*

c) *Utilizando sumadores binarios de 4 bits y multiplexores de 8 entradas de datos, diseñe el circuito combinacional (figura 2) que corrija las variables $z_4\,z_3\,z_2\,z_1\,z_0$ y obtenga las variables $S_4\,S_3\,S_2\,S_1\,S_0$. Dibuje el sumador completo BCD.*

Escaneado con CamScanner

Solución

a) Estudio de la corrección

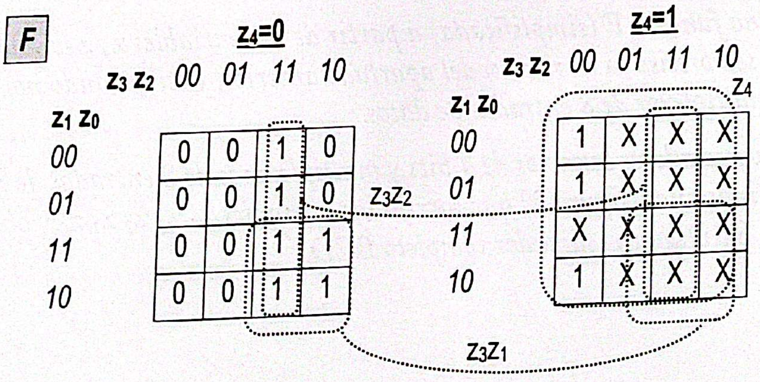
Nº DECIMAL	X+ Y-- BINARIO NATURAL Z_4	Z_3	Z_2	Z_1	Z_0	X+ Y-- BCD S_4	S_3	S_2	S_1	S_0	F
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1	0
2	0	0	0	1	0	0	0	0	1	0	0
3	0	0	0	1	1	0	0	0	1	1	0
4	0	0	1	0	0	0	0	1	0	0	0
5	0	0	1	0	1	0	0	1	0	1	0
6	0	0	1	1	0	0	0	1	1	0	0
7	0	0	1	1	1	0	0	1	1	1	0
8	0	1	0	0	0	0	1	0	0	0	0
9	0	1	0	0	1	0	1	0	0	1	0
10	0	1	0	1	0	1	0	0	0	0	1
11	0	1	0	1	1	1	0	0	0	1	1
12	0	1	1	0	0	1	0	0	1	0	1
13	0	1	1	0	1	1	0	0	1	1	1
14	0	1	1	1	0	1	0	1	0	0	1
15	0	1	1	1	1	1	0	1	0	1	1
16	1	0	0	0	0	1	0	1	1	0	1
17	1	0	0	0	1	1	0	1	1	1	1
18	1	0	0	1	0	1	1	0	0	0	1
											X

Si el resultado es 0 ... 9 ***no hay*** que hacer corrección.
Si el resultado es 10 ... 18 ***hay*** que hacer corrección.
La corrección es:

$$\begin{array}{rl} 10000 & = 10_{\text{Codificación BCD}} \\ -\,01010 & = 10_{\text{Base 2}} \\ \hline 0110 & = 6_{\text{Base 2}} \end{array}$$

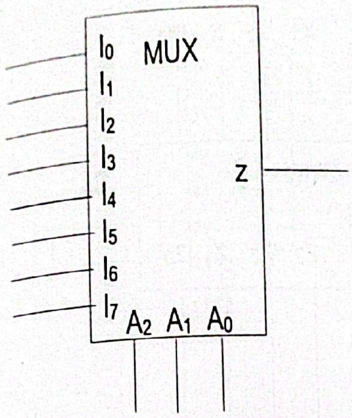
Hay que sumarle $6_{\text{Base 2}}$ = 0110 a $z_4\ z_3\ z_2\ z_1\ z_0$

b) La función de corrección F es:



$F = z_4 + z_3 z_2 + z_3 z_1$

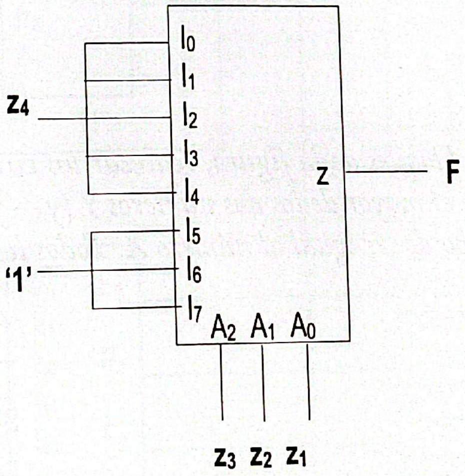
La función F realizada con un multiplexor de 8 entradas de datos (3 de control)



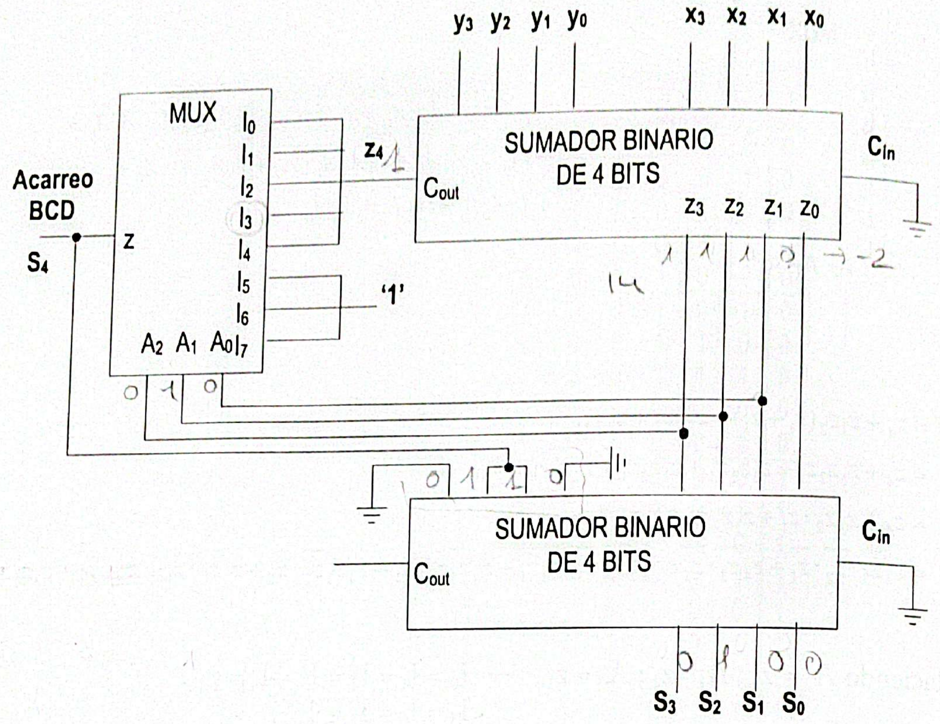
$$z = I_0\overline{A_2}\cdot\overline{A_1}\cdot\overline{A_0} + I_1\overline{A_2}\cdot\overline{A_1}\cdot A_0 + I_2\overline{A_2}\cdot A_1\overline{A_0} + I_3\overline{A_2}\cdot A_1A_0 + I_4A_2\overline{A_1}\cdot\overline{A_0} + I_5A_2\overline{A_1}\cdot A_0 + I_6A_2A_1\overline{A_0} + I_7A_2A_1A_0$$

$$F = z_4 + z_3z_2(z_1+\overline{z_1}) + z_3(z_2+\overline{z_2})z_1$$
$$= z_4 + z_3z_2z_1 + z_3z_2\overline{z_1} + z_3z_2z_1 + z_3\overline{z_2}\cdot z_1 =$$
$$= z_4 + z_3\overline{z_2}\cdot z_1 + z_3z_2\overline{z_1} + z_3z_2z_1$$
$$= z_4\overline{z_3}\cdot\overline{z_2}\cdot\overline{z_1} + z_4\overline{z_3}\cdot\overline{z_2}\cdot z_1 + z_4\overline{z_3}\cdot z_2\overline{z_1} + z_4\overline{z_3}\cdot z_2z_1 + z_4z_3\overline{z_2}\cdot\overline{z_1} + z_3\overline{z_2}\cdot z_1 + z_3z_2\overline{z_1} + z_3z_2z_1$$

Haciendo $A_2 = z_3$; $A_1 = z_2$; $A_0 = z_1$ → $I_0 = I_1 = I_2 = I_3 = I_4 = z_4$
$I_5 = I_6 = I_7 = 1$

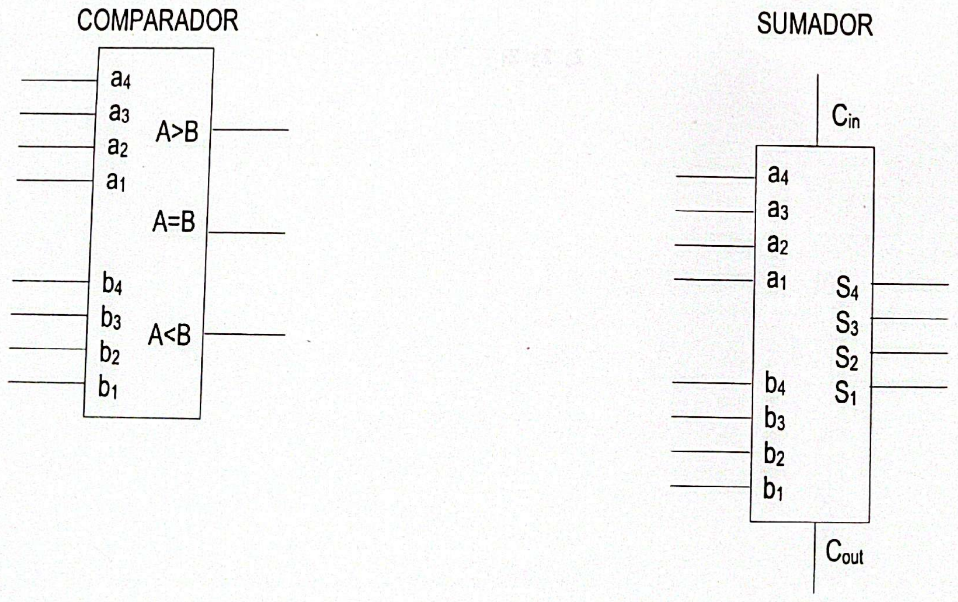


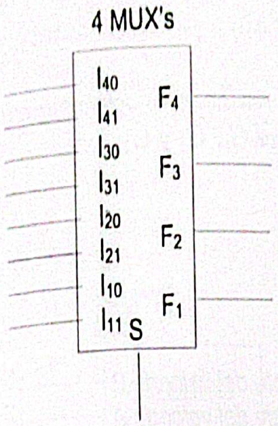
c) **El circuito sumador completo**

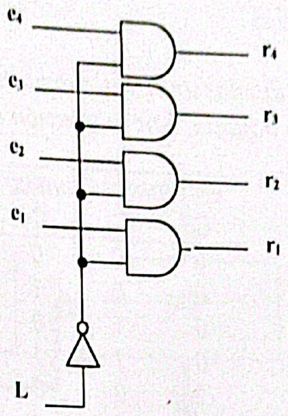


Problema 5.4

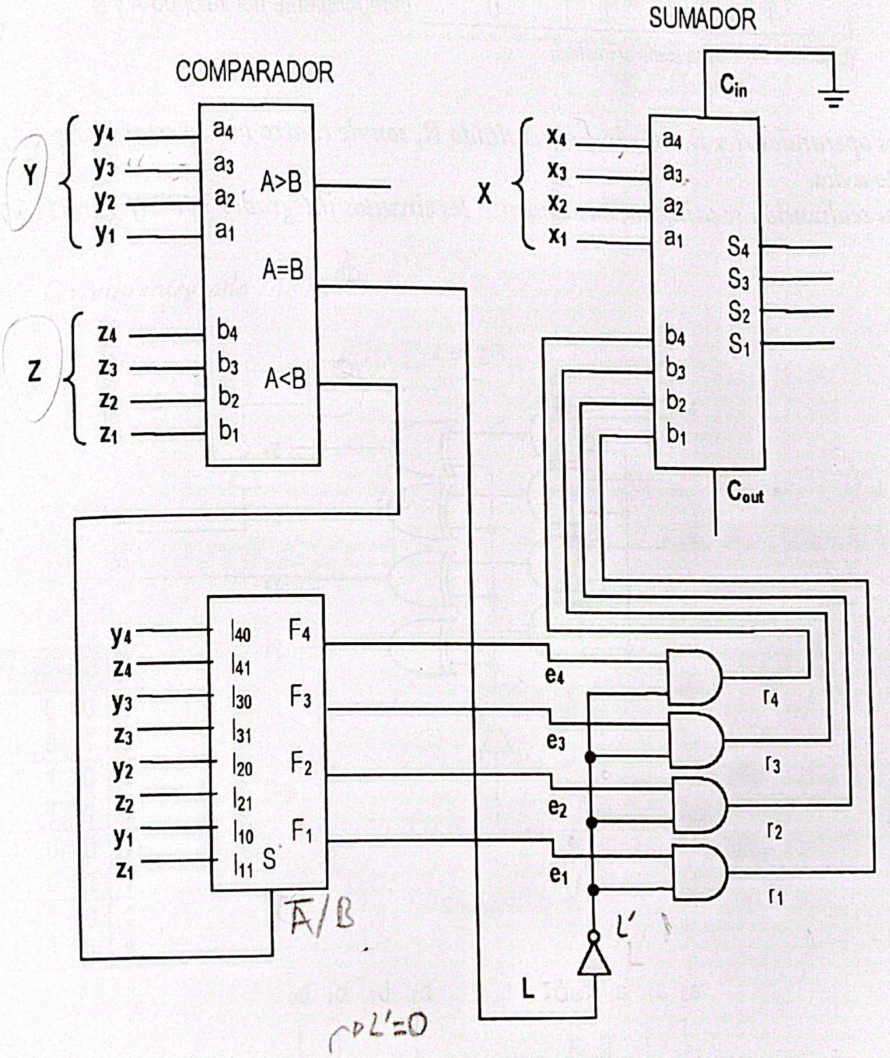
Conectando adecuadamente los bloques de la figura, realizar un circuito que haga la suma del número X de cuatro bits ($x_4 - x_1$) con el mayor de los dos números Y ($y_4 - y_1$) y Z ($z_4 - z_1$). Si los números Y y Z son iguales, el resultado ha de ser igual al número X. Todos los números están codificados en el sistema binario natural.







Solución



Si $y = z$ → $(A = B) = 1$ → $L = 1$ → $r_4 r_3 r_2 r_1 = 0\,0\,0\,0$ → $S_4 S_3 S_2 S_1 = x_4 x_3 x_2 x_1$

Si $y > z$ → $\begin{cases} (A < B) = 0 \rightarrow S = 0 \rightarrow (MUX) \rightarrow F_4 F_3 F_2 F_1 = y_4 y_3 y_2 y_1 \\ (A = B) = 0 \rightarrow L = 0 \end{cases}$ → $r_4 r_3 r_2 r_1 = y_4 y_3 y_2 y_1$

→ Salida = $x + y$

Si $z > y$ → $\begin{cases} (A < B) = 1 \rightarrow S = 1 \rightarrow (MUX) \rightarrow F_4 F_3 F_2 F_1 = z_4 z_3 z_2 z_1 \\ (A = B) = 0 \rightarrow L = 0 \end{cases}$ → $r_4 r_3 r_2 r_1 = z_4 z_3 z_2 z_1$

→ Salida = $x + z$

Escaneado con CamScanner

Problema 5.5

Se desea diseñar un circuito combinacional que sea capaz de realizar las ocho operaciones descritas en la tabla adjunta, bajo la selección de unas entradas de control C_0, C_1 y C_2.

ENTRADAS DE CONTROL C_2	C_1	C_0	RESULTADO R	
0	0	0	A + B	
0	0	1	A - B	
0	1	0	B - A	
0	1	1	A - 1	Independiente del valor de B
1	0	0	B - 1	Independiente del valor de A
1	0	1	A + 1	Independiente del valor de B
1	1	0	B + 1	Independiente del valor de A
1	1	1	0	Independiente del valor de A y B

(La operación + es la suma aritmética)

Los dos operandos A y B, así como el resultado R, son de cuatro bits, y estarán representados en complemento a dos.

Para su realización se utilizan, básicamente, los circuitos integrados 7487 (figura 1) y 7483 (figura 2).

Figura 1

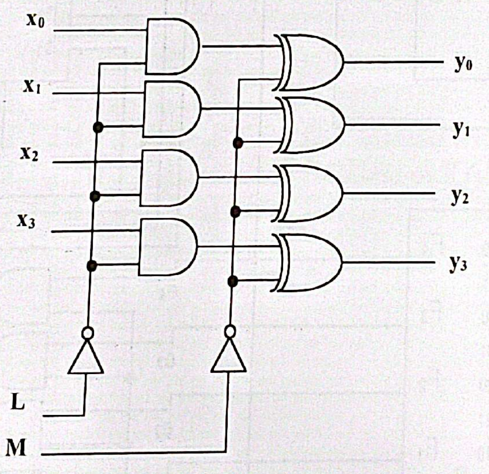
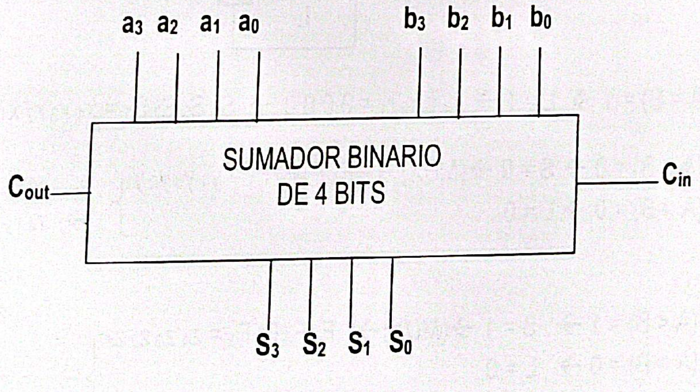


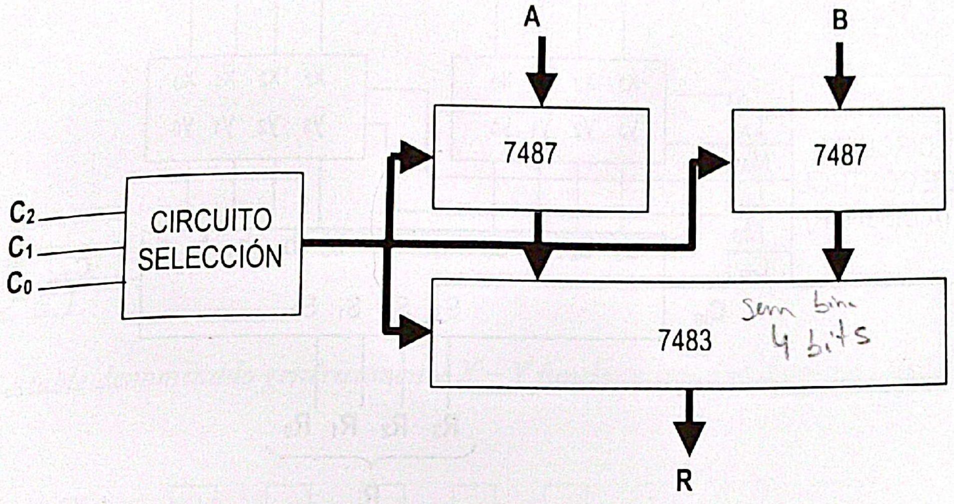
Figura 2



Escaneado con CamScanner

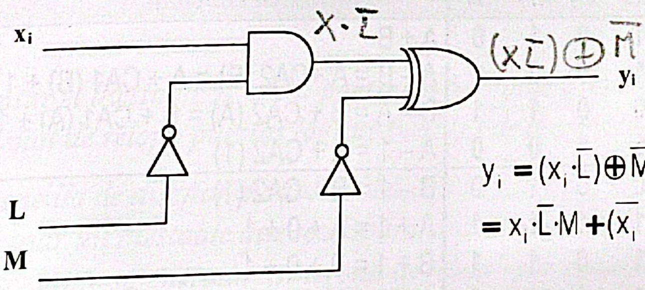
La estructura del circuito a diseñar es la indicada en la figura 3.

Figura 3



Solución

Circuito integrado 7487



$$y_i = (x_i \cdot \overline{L}) \oplus \overline{M} = (x_i \cdot \overline{L})\overline{\overline{M}} + \overline{(x_i \cdot \overline{L})}\overline{M} =$$
$$= x_i \cdot \overline{L} \cdot M + (\overline{x_i} + L)\overline{M} = x_i \cdot \overline{L}M + \overline{x_i} \cdot \overline{M} + L\overline{M}$$

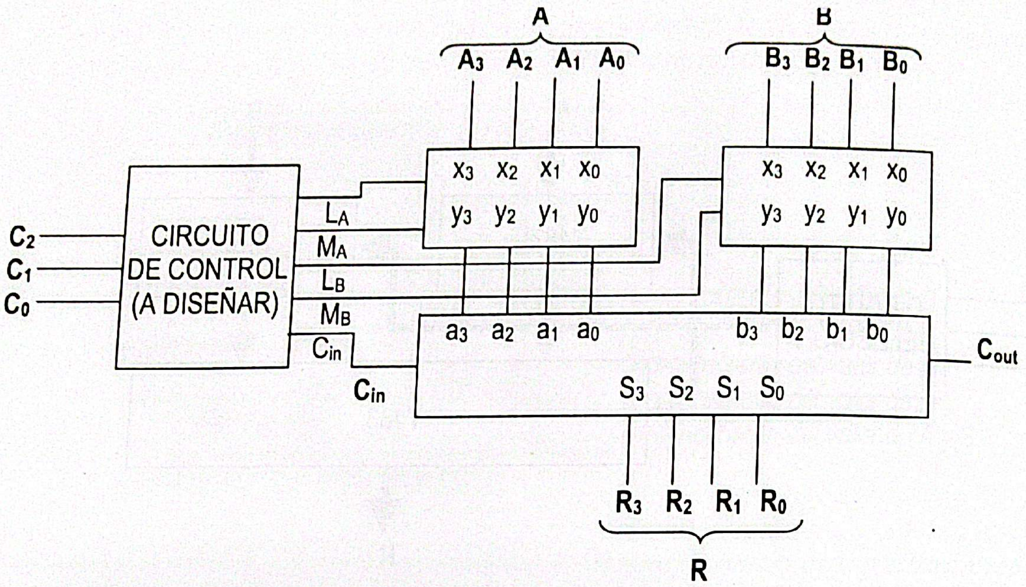
L	*M*	*xi*	*yi*
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

→

L	*M*	*y3*	*y2*	*y1*	*y0*	
0	0	$\overline{x_3}$	$\overline{x_2}$	$\overline{x_1}$	$\overline{x_0}$	*Invierte*
0	1	x_3	x_2	x_1	x_0	*Mantiene*
1	0	1	1	1	1	*Pone a 1's*
1	1	0	0	0	0	*Pone a 0's*

Escaneado con CamScanner

Circuito de control



La tabla de verdad del circuito de control:

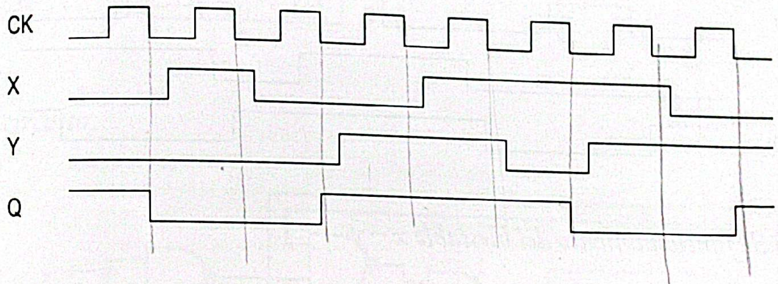
C_2	C_1	C_0	L_A	M_A	L_B	M_B	C_i	OPERACIÓN
0	0	0	0	1	0	1	0	A + B
0	0	1	0	1	0	0	1	A – B = A +CA2 (B) = A + CA1 (B) + 1
0	1	0	0	0	0	1	1	B – A = B + CA2 (A) = B + CA1 (A) + 1
0	1	1	0	1	1	0	0	A – 1 = A + CA2 (1)
1	0	0	1	0	0	1	0	B – 1 = B + CA2 (1)
1	0	1	0	1	1	1	1	A + 1 = A + 0 + 1
1	1	0	1	1	0	1	1	B + 1 = B + 0 + 1
1	1	1	1	1	1	1	0	0 = 0 + 0 + 0

El diseño se completaría implementando esta tabla de control por los métodos ya conocidos.

Escaneado con CamScanner

Problema 6.1

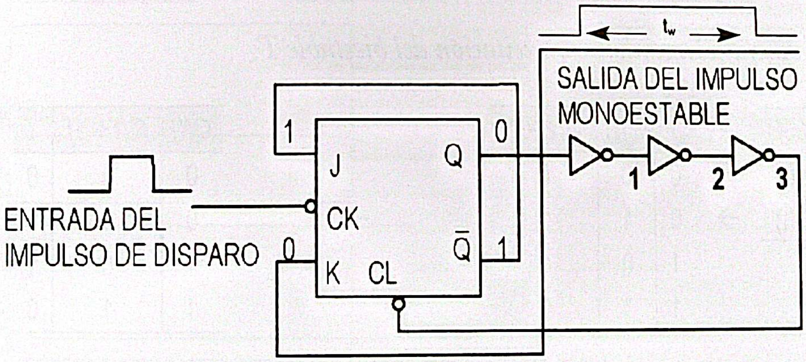
Un biestable denominado genéricamente $X - Y$ funciona según el diagrama de tiempos o cronograma:



a) *Implementar el biestable $X - Y$ a partir un biestable T síncrono disparado por flanco de bajada de la señal de reloj y puertas lógicas NAND de dos entradas.*

Un método sencillo de diseñar monoestables, sin muchos requerimientos en la exactitud de su duración, consiste en usar un biestable que se dispara síncronamente por su entrada de reloj y se le vuelve al estado inicial mediante su entrada asíncrona de "clear" por ejemplo.

Con el fin de controlar automáticamente, por medio del propio biestable su vuelta al estado inicial $Q = 0$ se hace uso de una línea de retardo formado por una cascada de inversores, de manera que el retardo acumulado de los inversores se usa para controlar la duración (t_w) de la estancia en el estado $Q = 1$ del biestable.



Considerando que:

- *El biestable JK tiene un tiempo de retardo $t_{db} = 20$ ns.*
- *La puerta inversora tiene un tiempo de retardo $t_{dp} = 10$ ns.*

Se pide:

b) *Estudiar el funcionamiento del circuito, dibujando el diagrama de tiempos o cronograma con las señales: entrada de impulsos de disparo CK, J, K, Q, 1, 2 y 3. Estado inicial Q = 0.*

c) *Calcular la duración o anchura (t_w) del impulso de salida (Q = 1) del monoestable.*

d) *Indicar el número de puertas inversoras para conseguir un impulso de salida (Q = 1) de anchura t_w = 70 ns.*

Solución

a) **Biestable x − y**

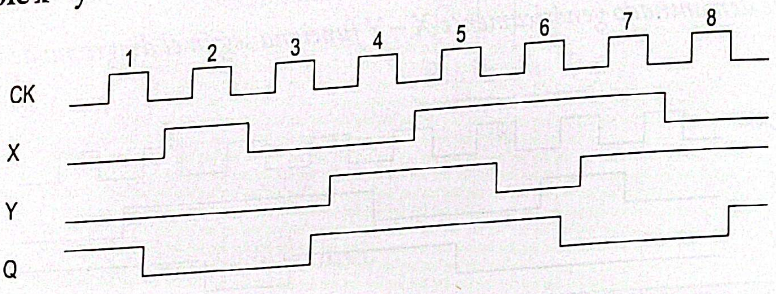


Tabla de funcionamiento del biestable x − y

Ciclo Reloj	X(t)	Y(t)	Q(t)	Q(t + 1)
3	0	0	0	**1**
1	0	0	1	**0**
8	0	1	0	**1**
4	0	1	1	**1**
2	1	0	0	**0**
6	1	0	1	**0**
7	1	1	0	**0**
5	1	1	1	**1**

Tablas de funcionamiento y excitación del biestable T

T	Q(t+1)
0	Q(t)
1	$\bar{Q}$(t)

→

T	Q(t)	Q(t + 1)
0	0	**0**
0	1	**1**
1	0	**1**
1	1	**0**

→

Q(t)	Q(t + 1)	T
0	0	**0**
0	1	**1**
1	0	**1**
1	1	**0**

Escaneado con CamScanner

De acuerdo a la tabla de funcionamiento del biestable x – y, la excitación del biestable T:

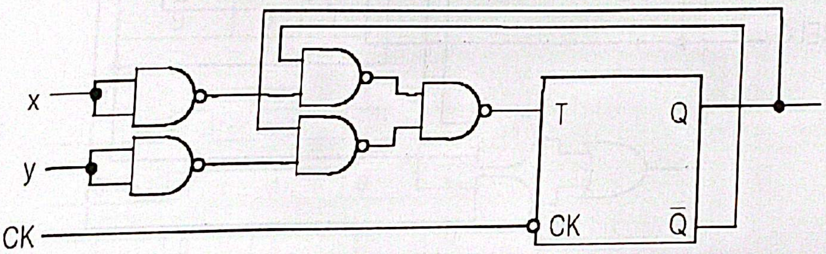
X(t)	Y(t)	Q(t)	Q(t + 1)	T
0	0	0	1	1
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	0
1	0	1	0	1
1	1	0	0	0
1	1	1	1	0

T

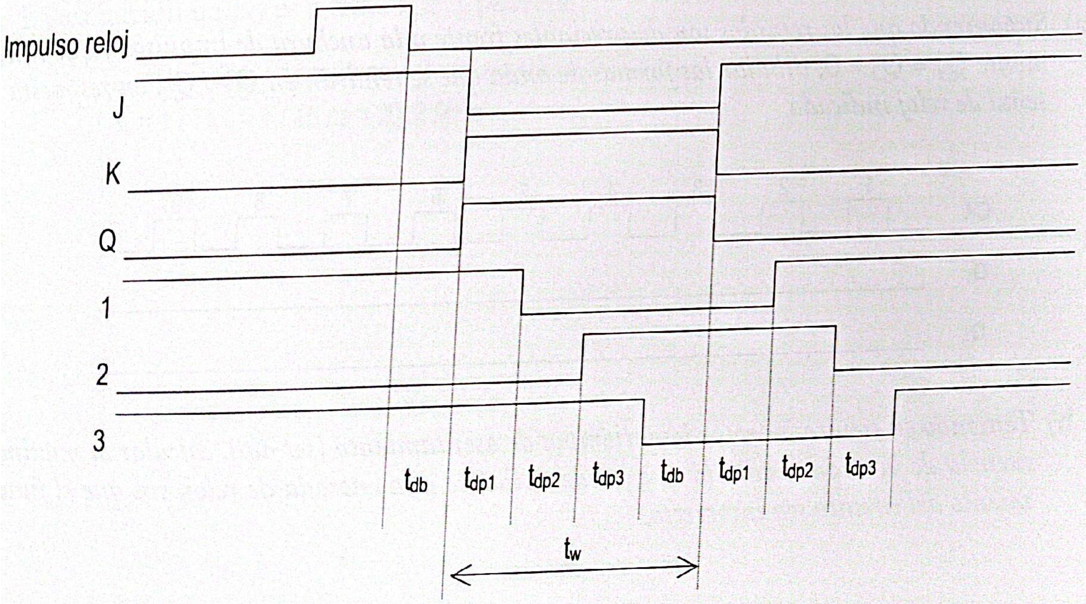
Q(t) \ X(t) Y(t)	00	01	11	10
0	1	1	0	0
1	1	0	0	1

$$T = \overline{X}\cdot\overline{Q} + \overline{Y}Q = \overline{\overline{\overline{X}\cdot\overline{Q} + \overline{Y}Q}} = \overline{\overline{\overline{X}\cdot\overline{Q}}\quad\overline{\overline{Y}Q}}$$

El circuito



b) **Diagrama o cronograma del monoestable**



c) **Anchura tw del impulso monoestable**

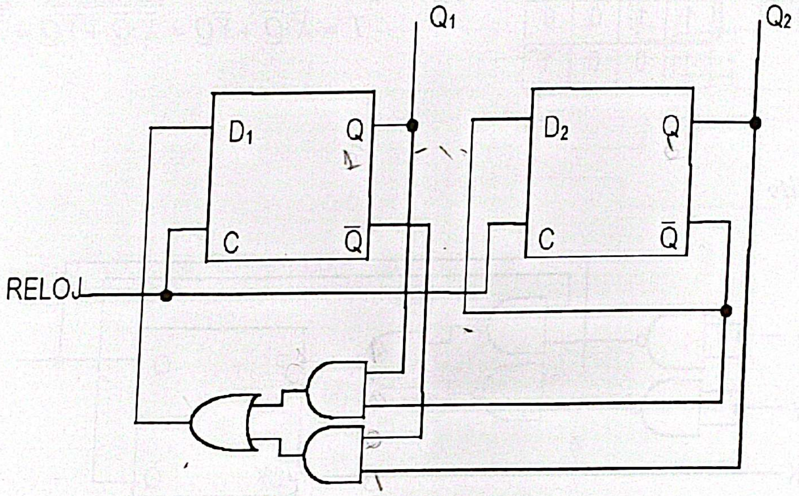
$t_w = t_{dp1} + t_{dp2} + t_{dp3} + t_{db} = t_{pd} \times$ nº de puertas inversoras $+ t_{db} = 3 \times 10$ ns + 20 ns = **50 ns**

d) **Número de puerta inversoras para t_w = 70 ns**

$t_w = t_{pd} \times$ nº de puertas inversoras $+ t_{db} \rightarrow$ 70 ns = 10 ns x n + 20 ns $\rightarrow$ **n = 5 puertas NOT**

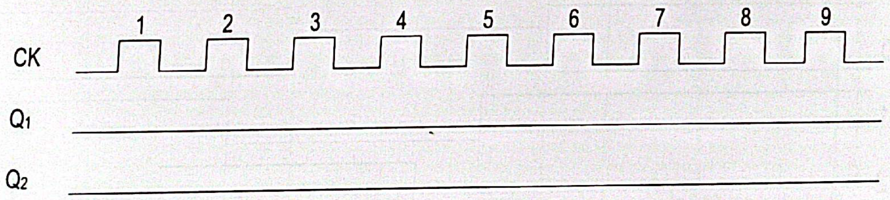
Problema 6.2

Se tienen dos biestables D, interconectados como se indica en la figura.



Retardo de un biestable D = 20 ns
Tiempo de establecimiento (set-up) = 5 ns
Retardo de una puerta = 10 ns.

a) *Suponiendo que los retardos son despreciables frente a la anchura de impulsos y que inicialmente $Q_1 = Q_2 = 0$, dibujar las formas de onda que se tendrán en Q_1 y Q_2, en respuesta a la señal de reloj indicada.*



b) *Teniendo en cuenta los retardos y tiempos de asentamiento (set-up), calcular la máxima frecuencia de la onda cuadrada que puede aplicarse a la entrada de reloj, sin que el funcionamiento del circuito sea incorrecto.*

Solución

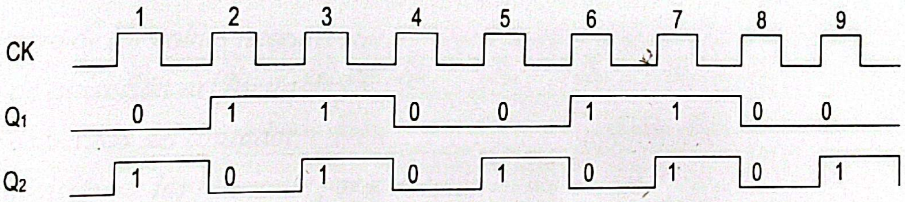
a) **Formas de onda en Q_1 y Q_2**

Las ecuaciones de excitación de los biestables D son:

$$D_1 = Q_1\overline{Q_2} + \overline{Q_1} \cdot Q_2 = Q_1 \oplus Q_2$$
$$D_2 = \overline{Q_2}$$

Se obtiene la siguiente tabla:

RELOJ	$Q_1(t)$	$Q_2(t)$	$D_1(t)$	$D_2(t)$	$Q_1(t+1)$	$Q_2(t+1)$
	0	0	0	1	0	1
1	0	1	1	0	1	0
2	1	0	1	1	1	1
3	1	1	0	0	0	0
4	0	0	0	1	0	1
5	0	1	1	0	1	0
6	1	0	1	1	1	1
7	1	1	0	0	0	0
8	0	0	0	1	0	1
9	0	1	1	0	1	0



b) **Máxima frecuencia**

La excitación de D_1 es a través de 2 puertas:

$$T_{mín} = t_{pb} + 2t_{pp} + t_{su} = 20 \text{ ns} + 2 \quad 10 \text{ ns} + 5 \text{ ns} = 45 \text{ ns}$$
$$f_{máx} = 1 / T_{mín} = 1 / 45 \text{ ns} = \mathbf{22{,}2\ MHz}$$

Escaneado con CamScanner

7
Sistemas secuenciales: contadores

Problema 7.1

Diseñar un contador síncrono ascendente que haga cuentas pares o impares bajo el control de una entrada U. Si U=0 la cuenta será 0, 2, 4, 6, 0 ... y si U=1 la cuenta será 1, 3, 5, 7, 1 ...

Considere que la entrada de control U sólo puede cambiar mientras el contador está en el estado más elevado de la cuenta par ó impar. El paso de la cuenta impar a par (al ponerse U = 0) se hará decrementando en una unidad el estado más alto (7) de la cuenta impar. El paso de la cuenta par a la impar (al ponerse U = 1) se hará incrementando en una unidad el estado más alto (6) de la cuenta par.

Emplear biestables JK disparados por flanco de bajada de la señal de reloj.

Se pide:

a) *El número de biestables necesarios.*

b) *Tabla de excitación del biestable JK.*

c) *Tabla de verdad del contador.*

d) *Simplificación de las funciones por el método de Karnaugh.*

e) *Realizar el contador (dibujarlo).*

Solución

a) Número de biestables

$\log_2 8 = 3$

El contador tiene que pasar por 8 estados (0,1,2,...,7) → El número de biestables necesarios es $8 \leq 2^n$ → ***n = 3 biestables***

b) Tabla de excitación del biestable

J	K	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

→

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Escaneado con CamScanner

c) **Tabla de verdad del contador**

Estado Actual					Estado Siguiente				J_A	K_A	J_B	K_B	J_C	K_C
u	Q_A	Q_B	Q_C		Q_A	Q_B	Q_C							
0	0	0	0	(0)	0	1	0	(2)	0	X	1	X	0	X
0	0	1	0	(2)	1	0	0	(4)	1	X	X	1	0	X
0	1	0	0	(4)	1	1	0	(6)	X	0	1	X	0	X
0	1	1	0	(6)	0	0	0	(0)	X	1	X	1	0	X
1	0	0	1	(1)	0	1	1	(3)	0	X	1	X	X	0
1	0	1	1	(3)	1	0	1	(5)	1	X	X	1	X	0
1	1	0	1	(5)	1	1	1	(7)	X	0	1	X	X	0
1	1	1	1	(7)	0	0	1	(1)	X	1	X	1	X	0
0	1	1	1	(7)	1	1	0	(6)	X	0	X	0	X	1
Paso de impar a par														
1	1	1	0	(6)	1	1	1	(7)	X	0	X	0	1	X
Paso de par a impar														

d) **Simplificación por Karnaugh**

J_A

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	0	X	X	X
01	X	X	X	0
11	X	X	X	1
10	1	X	X	X

$J_A = Q_B$

K_A

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	X	0	X	X
01	X	X	0	X
11	X	0	1	X
10	X	1	0	X

$K_A = Q_B(\overline{u \oplus Q_C})$

J_B

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	1	1	X	X
01	X	X	1	1
11	X	X	X	X
10	X	X	X	X

$J_B = 1$

K_B

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	0	1	1
10	1	1	0	X

$K_B = \overline{u} \cdot \overline{Q_C} + uQ_C = \overline{u \oplus Q_C}$

J_C

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	0	0	X	X
01	X	X	X	X
11	X	X	X	X
10	0	0	1	X

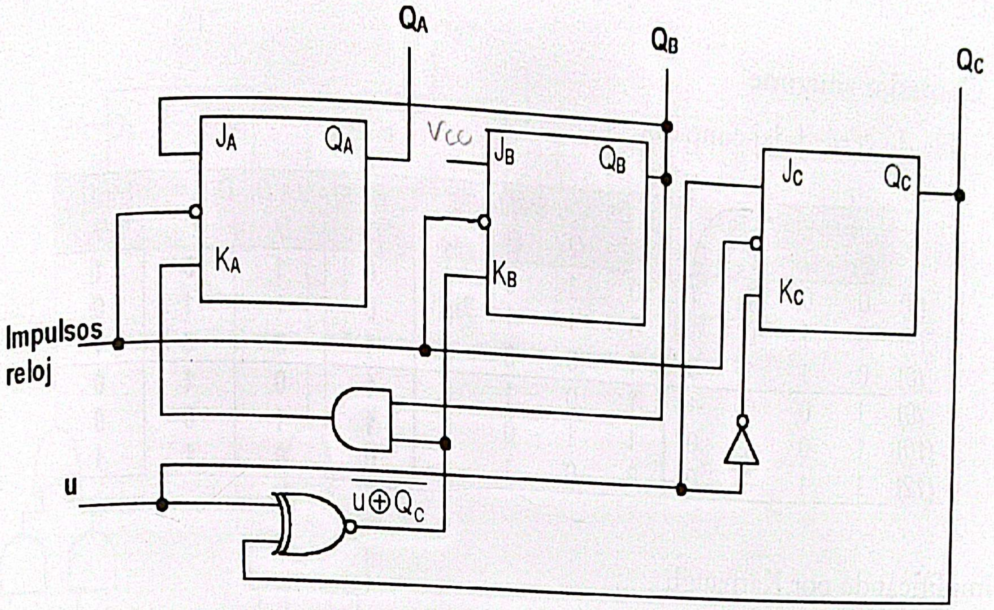
$J_C = u$

K_C

$Q_B Q_C$ \ $u Q_A$	00	01	11	10
00	X	X	X	X
01	X	X	0	0
11	X	1	0	0
10	X	X	X	X

$K_C = \overline{u}$

e) **Circuito**

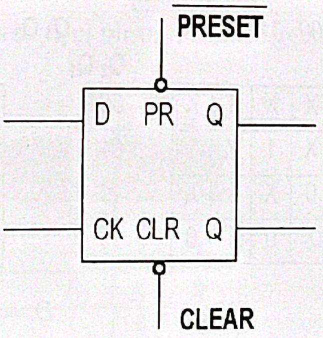


Problema 7.2

a) *Diseñar un contador síncrono que pase por 6 estados consecutivamente al ritmo de unos impulsos de reloj.*

El diseño se basará en la utilización de biestables D como el de la figura.

Los estados por los que debe ir pasando están identificados por una combinación de 4 bits de tal manera que siempre estén en "1" dos y sólo dos de entre los cuatro bits. Además, los estados deberán ir sucediéndose en sentido creciente según el código binario.



b) *Si el tiempo de retardo del biestable es 20ns, el tiempo de establecimiento (set-up) es 5ns y el tiempo de retardo de una puerta es 10ns. Calcular la máxima frecuencia de funcionamiento del contador.*

c) *Sobre el circuito obtenido en el apartado a), diseñar la lógica necesaria para poder inicializar de forma asíncrona el sistema en cualquiera de los 6 estados posibles.*

Escaneado con CamScanner

Solución

a) **Contador síncrono**

La tabla de verdad del contador:

	Estado Actual				Estado Siguiente				Biestable D: D(t) = Q(t + 1)			
	Q_4	Q_3	Q_2	Q_1	Q_4	Q_3	Q_2	Q_1	D_4	D_3	D_2	D_1
(3)	0	0	1	1	0	1	0	1	0	1	0	1
(5)	0	1	0	1	0	1	1	0	0	1	1	0
(6)	0	1	1	0	1	0	0	1	1	0	0	1
(9)	1	0	0	1	1	0	1	0	1	0	1	0
(10)	1	0	1	0	1	1	0	0	1	1	0	0
(12)	1	1	0	0	0	0	1	1	0	0	1	1

Simplificando por Karnaugh

D_4

Q_2Q_1 \ Q_4Q_3	00	01	11	10
00	X	X	0	X
01	X	0	X	1
11	0	X	X	X
10	X	1	X	1

$$D_4 = Q_4\overline{Q_3} + Q_2\overline{Q_1}$$

D_3

Q_2Q_1 \ Q_4Q_3	00	01	11	10
00	X	X	0	X
01	X	1	X	0
11	1	X	X	X
10	X	0	X	1

$$D_3 = \overline{Q_4} \cdot Q_1 + Q_4Q_2$$

D_2

Q_2Q_1 \ Q_4Q_3	00	01	11	10
00	X	X	1	X
01	X	1	X	1
11	0	X	X	X
10	X	0	X	0

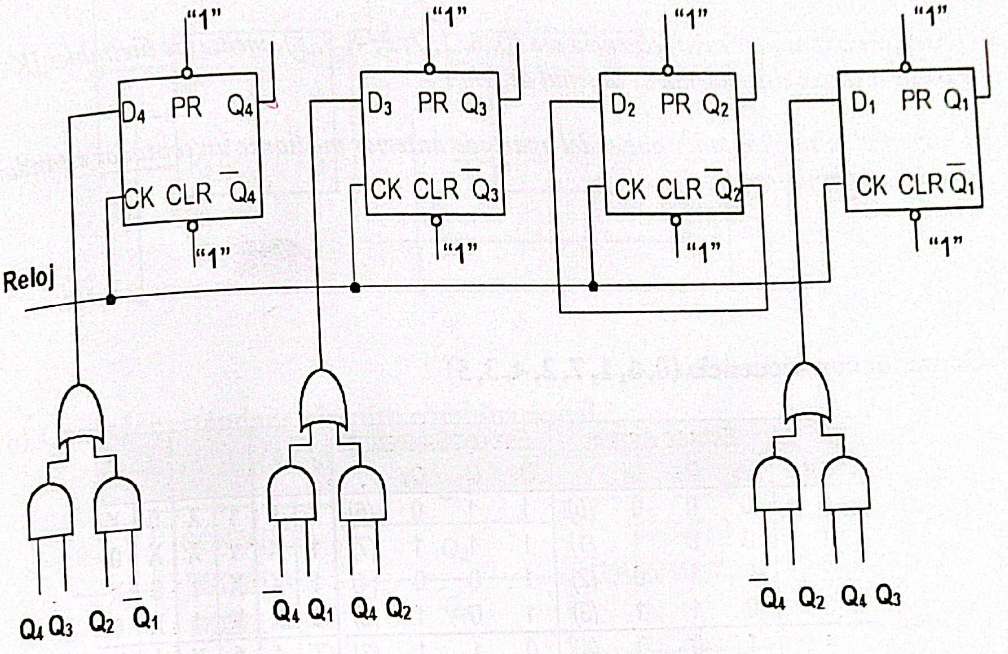
$$D_2 = \overline{Q_2}$$

D_1

Q_2Q_1 \ Q_4Q_3	00	01	11	10
00	X	X	1	X
01	X	0	X	0
11	1	X	X	X
10	X	1	X	0

$$D_1 = \overline{Q_4} \cdot Q_2 + Q_4Q_3$$

El circuito:



b) Máxima frecuencia de funcionamiento del contador

La excitación de las entradas D_4, D_3 y D_1 es a través de 2 puertas.

$T_{min} = t_{pb} + t_{pp}\ 2 + t_{su} = 20\text{ ns} + 2\ \ 10\text{ ns} + 5\text{ ns} = 45\text{ ns}$

$f_{máx} = 1 / T_{mín} = 1 / 45\text{ ns} = \mathbf{22{,}2\ MHz}$

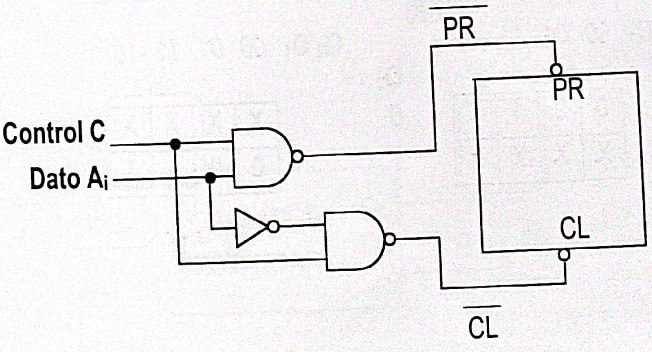
c) Inicialización del contador

Tenemos que cargar con el dato A el biestable de forma asíncrona de acuerdo a una entrada de control C.

CONTROL C	DATO A_i	$\overline{PR_i}$	$\overline{CL_i}$	
0	0	1	1	No cargamos dato
0	1	1	1	
1	0	1	0	Cargamos un 0
1	1	0	1	Cargamos un 1

$\overline{PR_i} = \overline{C} + \overline{A_i} = \overline{CA_i}$

$\overline{CL_i} = \overline{C} + A_i = \overline{C\overline{A_i}}$



Para el biestable i

Problema 7.3

a) *Diseñar un contador cuya secuencia sea (0, 6, 1, 7, 2, 4, 3, 5), mediante biestables JK disparados por flanco descendente de la señal de reloj.*

b) *Diseñar el mismo contador que el del apartado anterior mediante un contador estándar y un circuito combinacional.*

Solución

a) Contador con secuencia (0, 6, 1, 7, 2, 4, 3, 5)

Nº DECIMAL	ESTADO ACTUAL Q_2	Q_1	Q_0		ESTADO SIGUIENTE Q_2	Q_1	Q_0		J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	(0)	1	1	0	(6)	1	X	1	X	0	X
1	0	0	1	(1)	1	1	1	(7)	1	X	1	X	X	0
2	0	1	0	(2)	1	0	0	(4)	1	X	X	1	0	X
3	0	1	1	(3)	1	0	1	(5)	1	X	X	1	X	0
4	1	0	0	(4)	0	1	1	(3)	X	1	1	X	1	X
5	1	0	1	(5)	0	0	0	(0)	X	1	0	X	X	1
6	1	1	0	(6)	0	0	1	(1)	X	1	X	1	1	X
7	1	1	1	(7)	0	1	0	(2)	X	1	X	0	X	1

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Simplificando por Karnaugh ($J_2 = K_2 = 1$)

J_1

Q_0 \ Q_2Q_1	00	01	11	10
0	1	X	X	1
1	1	X	X	0

$$J_1 = \overline{Q_2} + \overline{Q_0} = \overline{Q_2 Q_0}$$

K_1

Q_0 \ Q_2Q_1	00	01	11	10
0	X	1	1	X
1	X	1	0	X

$$K_1 = \overline{Q_2} + \overline{Q_0} = \overline{Q_2 Q_0}$$

J_0

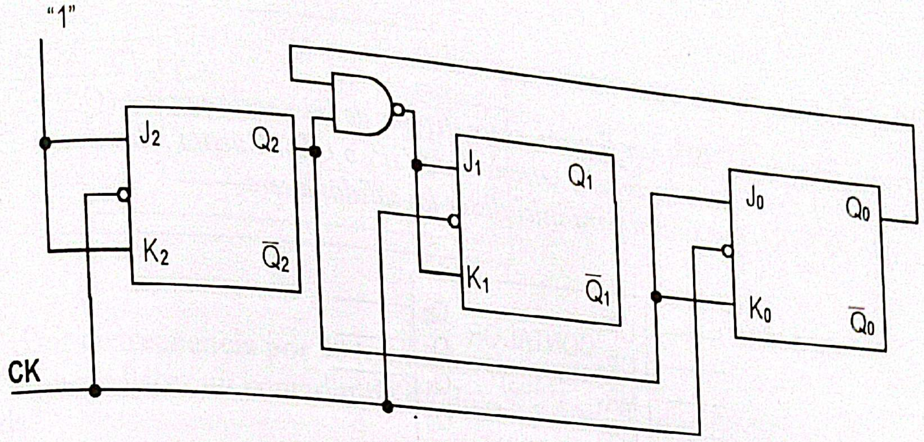
Q_0 \ Q_2Q_1	00	01	11	10
0	0	0	1	1
1	X	X	X	X

$$J_0 = Q_2$$

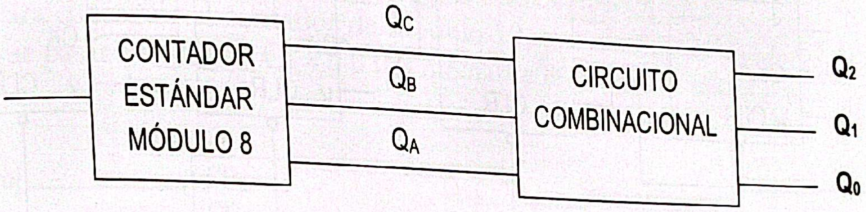
K_0

Q_0 \ Q_2Q_1	00	01	11	10
0	X	X	X	X
1	0	0	1	1

$$K_0 = Q_2$$



b) **Contador estándar + circuito combinacional**



Nº Decimal	Estadao Actual Q_C	Q_B	Q_A	Estado Siguiente Q_C	Q_B	Q_A	Salida Actual Q_2	Q_1	Q_0	
0	0	0	0	0	0	1	**0**	**0**	**0**	*(0)*
1	0	0	1	0	1	0	**1**	**1**	**0**	*(6)*
2	0	1	0	0	1	1	**0**	**0**	**1**	*(1)*
3	0	1	1	1	0	0	**1**	**1**	**1**	*(7)*
4	1	0	0	1	0	1	**0**	**1**	**0**	*(2)*
5	1	0	1	1	1	0	**1**	**0**	**0**	*(4)*
6	1	1	0	1	1	1	**0**	**1**	**1**	*(3)*
7	1	1	1	0	0	0	**1**	**0**	**1**	*(5)*

Simplificando por Karnaugh

Q_2

Q_A \ $Q_C Q_B$	00	01	11	10
0	0	0	0	0
1	1	1	1	1

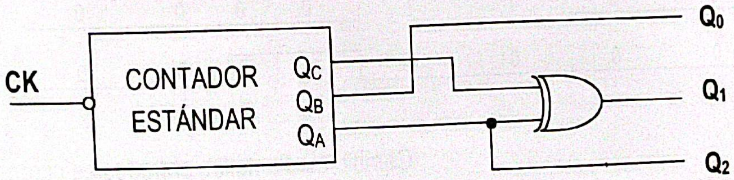
Q_1

Q_A \ $Q_C Q_B$	00	01	11	10
0	0	0	1	1
1	1	1	0	0

Q_0

Q_A \ $Q_C Q_B$	00	01	11	10
0	0	1	1	0
1	0	1	1	0

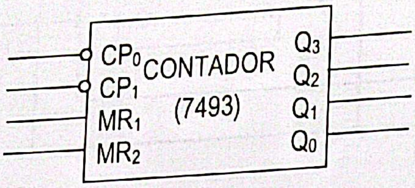
$$Q_2 = Q_A \qquad Q_1 = Q_C\overline{Q_A} + \overline{Q_C}\cdot Q_A = Q_C \oplus Q_A \qquad Q_0 = Q_B$$

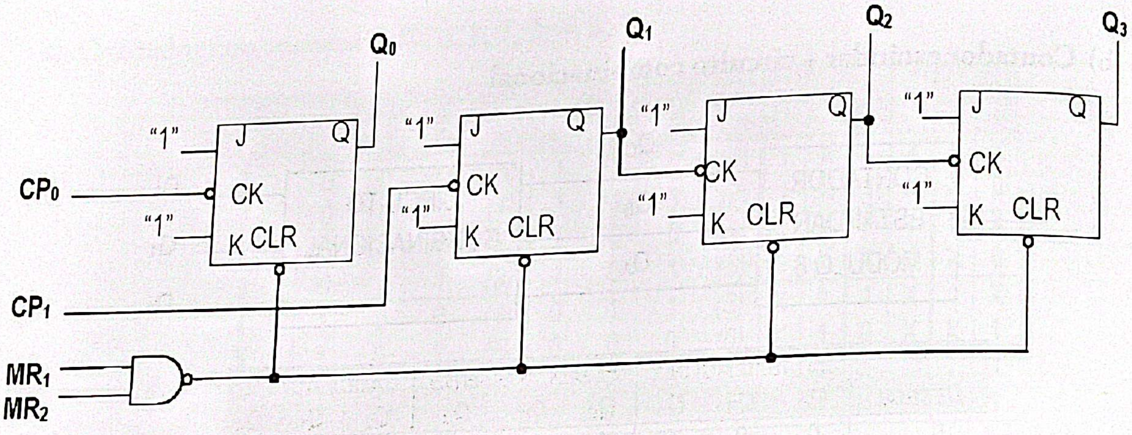


Escaneado con CamScanner

Problema 7.4

El circuito integrado 7493, ver figuras, es un divisor de frecuencia por dos (Q0) o por ocho (Q_3, Q_2, Q_1), en función de la entrada de reloj seleccionada CP_0 o CP_1. Cuenta además con dos entradas asíncronas (MR_1 y MR_2) que sirven para inicializar las salidas a cero.





Diseñar mediante este tipo de circuito integrado:

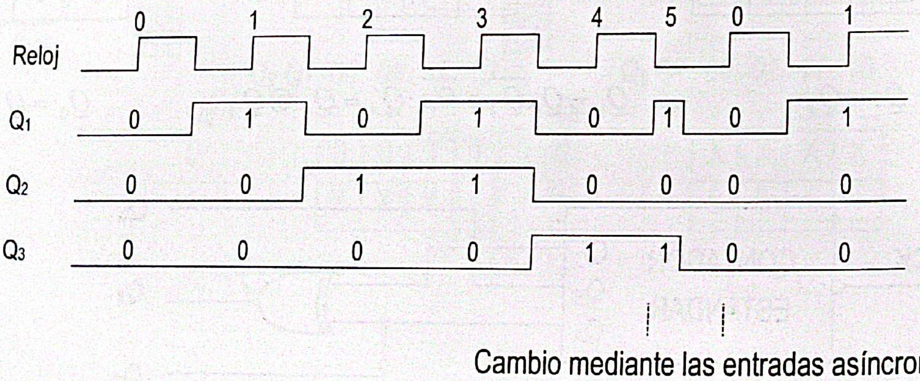
a) *Un divisor de frecuencia por 5 (contador de módulo 5).*

b) *Un divisor de frecuencia por 50 (contador de módulo 50).*

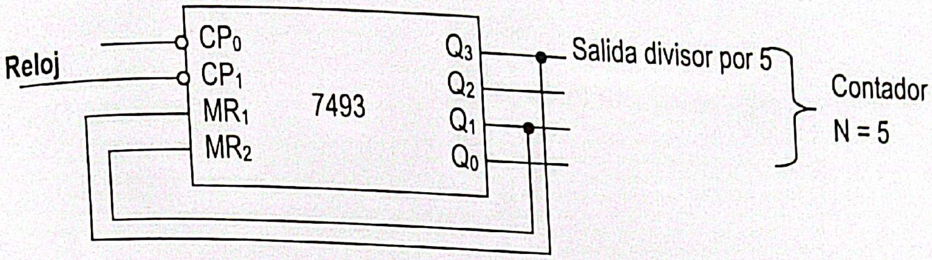
Solución

a) **Divisor de frecuencia por 5 (contador de módulo 5)**

- Se necesita un circuito integrado 7493.
- Hay que utilizar el contador de módulo 8 (Q_3, Q_2, Q_1) con entrada de reloj CP_1
- Para conseguir el contador de módulo 5, hay que eliminar estados en el contador de módulo 8.
- Cuando $Q_3\,Q_2\,Q_1$ = 1 0 1 = 5, hay que pasar a $Q_3\,Q_2\,Q_1$ = 0 0 0 mediante las entradas asíncronas MR_1 y MR_2.

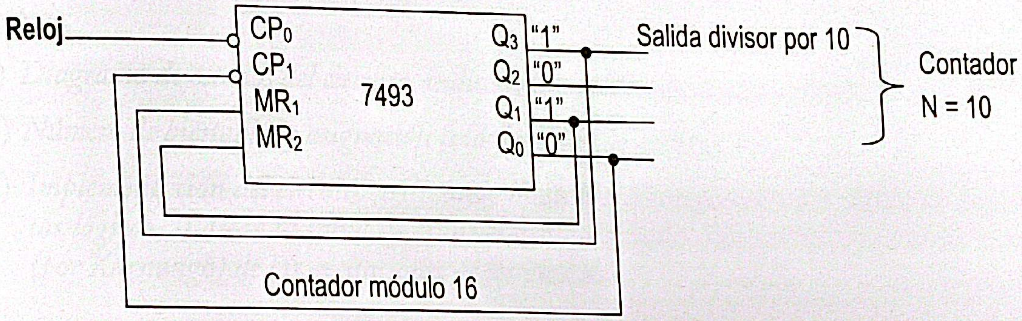


Cambio mediante las entradas asíncronas

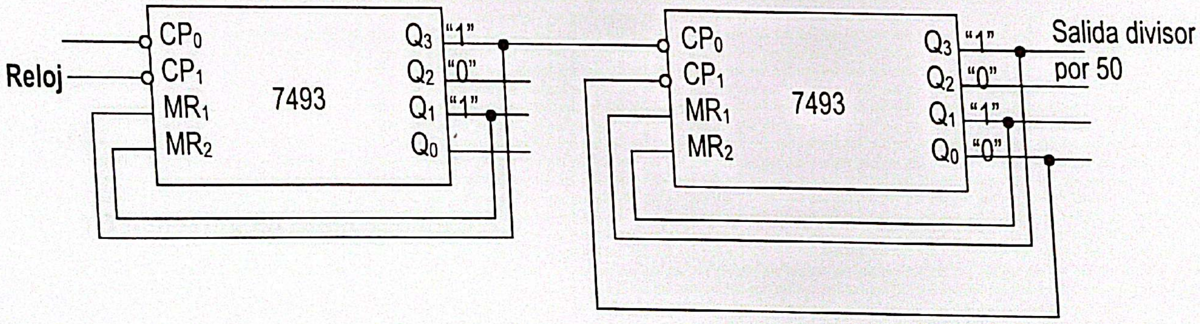


b) **Divisor de frecuencia por 50 (contador de módulo 50)**

- Se puede hacer un contador de módulo 5 y otro de módulo 10 conectados en cascada.
- Se necesitan 2 circuitos integrados 7493.
- Para conseguir el contador de módulo 10, hay que eliminar estados en el contador de módulo 16.
- El contador de módulo 16 se consigue conectando Q_0 a CP_1.
- Para conseguir el contador de módulo 10, cuando $Q_3\,Q_2\,Q_1\,Q_0 = 1\ 0\ 1\ 0 = 10$, hay que pasar a $Q_3\,Q_2\,Q_1\,Q_0 = 0\ 0\ 0\ 0$ mediante las entradas asíncronas MR_1 y MR_2.



- Uniendo el contador de módulo 5 y el de módulo 10 en cascada se obtiene el de módulo 50.



Escaneado con CamScanner

8
Sistemas secuenciales síncronos: diseño

Problema 8.1

Se desea realizar el control de una cerradura electrónica mediante un circuito secuencial síncrono de tipo Mealy. El circuito, ver figura, tendrá una entrada x por la que llegan los bits serie y una salida z que valdrá 1 cuando se reciba la secuencia 11011 (clave de apertura de la cerradura).

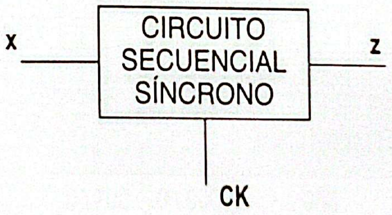
La secuencia 11011 puede llegar en cualquier momento y una vez que la salida se hace 1 el circuito retorna a su estado inicial.

Se pide:

a) *Diagrama de estados del circuito, indicado el significado de cada estado.*

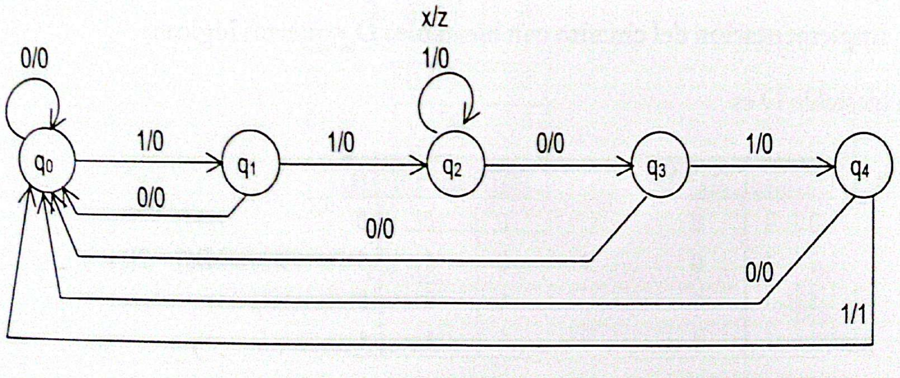
b) *Número de biestables y asignación (codificación) de estados.*

c) *Implementación del circuito utilizando biestables D disparados por flanco de bajada y puertas lógicas. Indicar la tabla de transiciones codificada. Indicar las ecuaciones simplificadas (por Karnaugh) de las excitaciones de los biestables y de la salida.*



Solución

a) Diagrama de estados



ESTADO SIGUIENTE / SALIDA		
ESTADO ACTUAL	X	
	0	1
q_0	q_0 / 0	q_1 / 0
q_1	q_0 / 0	q_2 / 0
q_2	q_3 / 0	q_2 / 0
q_3	q_0 / 0	q_4 / 0
q_4	q_0 / 0	q_0 / 1

q_0 : Estado inicial
q_1 : Ha llegado 1
q_2 : Ha llegado 1 1
q_3 : Ha llegado 0 1 1
q_4 : Ha llegado 1 0 1 1

b) **Número de biestables y asignación de estados**

Como hay N = 5 estados (q_0, q_1, q_2, q_3, q_4) $\rightarrow 2^{n-1} < 5 \leq 2^n \rightarrow$ ***n = 3 biestables.***

Asignación (codificación) de estados

ESTADO ACTUAL	SALIDAS DE LOS BIESTABLES		
	Q_3	Q_2	Q_1
q_0	0	0	0
q_1	0	0	1
q_2	0	1	0
q_3	0	1	1
q_4	1	0	0

Con esta asignación tenemos

ESTADO SIGUIENTE / SALIDA		
ESTADO ACTUAL	X	
	0	1
000	000 / 0	001 / 0
001	000 / 0	010 / 0
010	011 / 0	010 / 0
011	000 / 0	100 / 0
100	000 / 0	000 / 1

c) **Implementación del circuito con biestables D y puertas lógicas**

El biestable D es

D	Q(t)	Q(t + 1)
0	0	**0**
0	1	**0**
1	0	**1**
1	1	**1**

→

Q(t)	Q(t + 1)	D
0	0	**0**
0	1	**1**
1	0	**0**
1	1	**1**

→ D(t) = Q(t + 1)

Escaneado con CamScanner

Tabla de transiciones codificada

x (t)	Q3(t)	Q2(t)	Q1(t)	Q3(t + 1)	Q2(t + 1)	Q1(t + 1)	D3(t)	D2(t)	D1(t)	z(t)
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	1	0	1	1	0
0	0	1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	X	X	X	X	X	X	X
0	1	1	0	X	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X	X
1	0	0	0	0	0	1	0	0	1	0
1	0	0	1	0	1	0	0	1	0	0
1	0	1	0	0	1	0	0	1	0	0
1	0	1	1	1	0	0	1	0	0	0
1	1	0	0	0	0	0	0	0	0	1
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

Ecuaciones simplificadas de excitación de los biestables

D3

Q2 Q1 \ x Q3	00	01	11	10
00	0	0	0	0
01	0	X	X	0
11	0	X	X	1
10	0	X	X	0

$$D_3 = xQ_2Q_1$$

D2

Q2 Q1 \ x Q3	00	01	11	10
00	0	0	0	0
01	0	X	X	1
11	0	X	X	0
10	1	X	X	1

$$D_2 = x\overline{Q_2} \cdot Q_1 + Q_2\overline{Q_1}$$

D1

Q2 Q1 \ x Q3	00	01	11	10
00	0	0	0	1
01	0	X	X	0
11	0	X	X	0
10	1	X	X	0

$$D_1 = x\overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{x}Q_2\overline{Q_1}$$

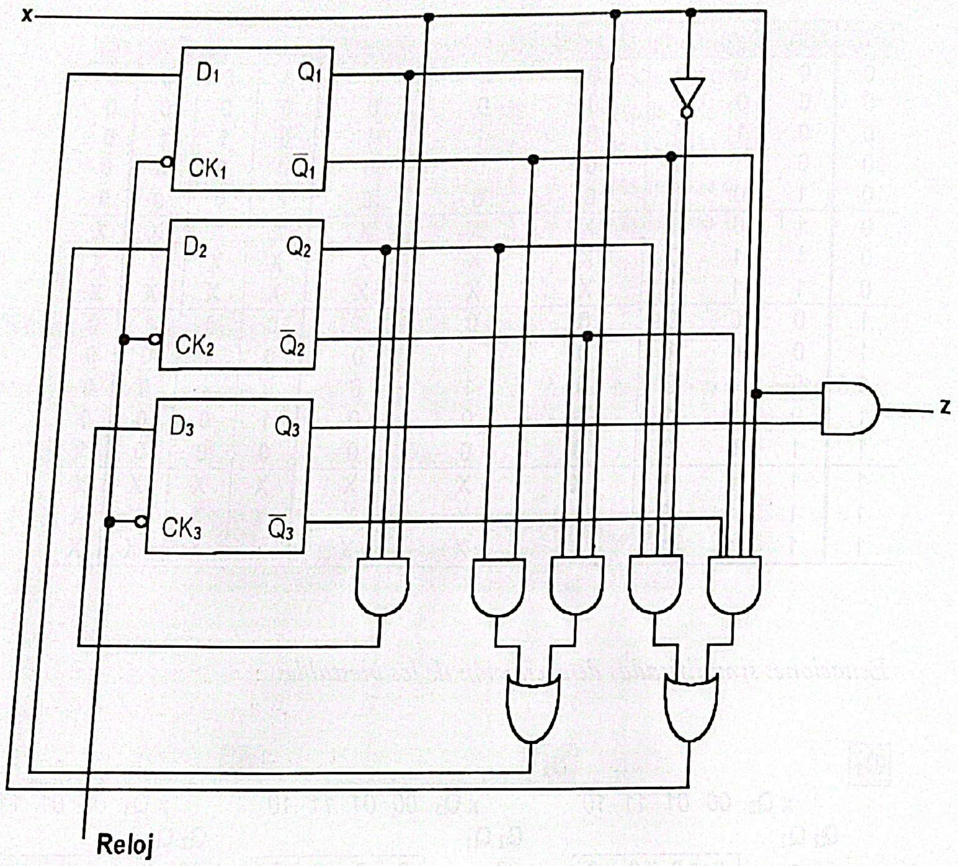
Ecuación simplificada de la salida

z

Q2 Q1 \ x Q3	00	01	11	10
00	0	0	1	0
01	0	X	X	0
11	0	X	X	0
10	0	X	X	0

$$z = xQ_3$$

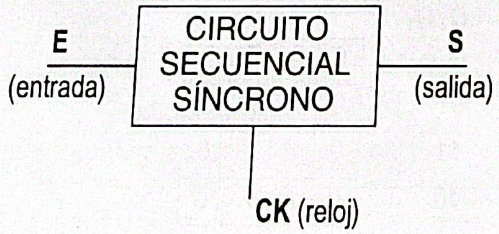
El circuito será:



Problema 8.2

En un sistema de transmisión serie, los bits se han codificado para que nunca aparezcan en la línea dos o más ceros (0's) consecutivos, o cuatro o más unos (1's) consecutivos. Los bits de información se transmiten en sincronismo con un reloj.

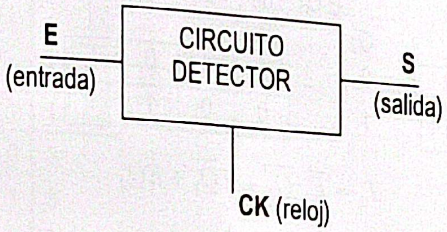
Se desea diseñar un circuito secuencial (ver figura) indicador de errores el cual señalará un error generando un 1 en la salida S, que coincida con el segundo de cada secuencia de dos ceros, o el cuarto de cada secuencia de cuatro unos. Si aparecen tres o más ceros consecutivos, o cinco o más unos consecutivos la salida debe permanecer en 1.



a) *Realice el circuito mediante un autómata finito de tipo Mealy, utilizando biestables tipo T disparados por flanco de bajada y puertas lógicas.*

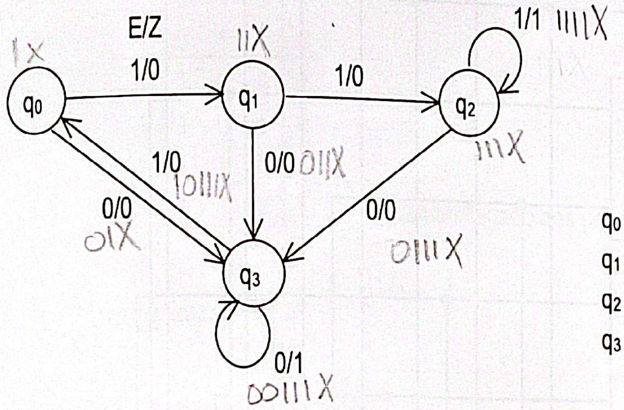
b) *Realice el circuito mediante un registro de desplazamiento de 3 bits y puertas lógicas.*

Solución



a) **Autómata finito tipo Mealy**

Diagrama de estados



q_0 : lo último que llegó fue '1'
q_1 : han llegado dos '1' seguidos
q_2 : han llegado tres '1' seguidos
q_3 : lo último que llegó fue '0'

ESTADO SIGUIENTE / SALIDA		
ESTADO ACTUAL	E = 0	E = 1
q_0	q_3 / 0	q_1 / 0
q_1	q_3 / 0	q_2 / 0
q_2	q_3 / 0	q_2 / 1
q_3	q_3 / 1	q_0 / 0

Hay 4 estados → $2^{n-1} < 4 \leq 2^n$ → 2 biestables

	Q_1	Q_2
q_0	0	0
q_1	0	1
q_2	1	0
q_3	1	1

Tabla de transiciones codificada

E(t)	ESTADO ACTUAL $Q_1(t)$	$Q_2(t)$	ESTADO SIGUIENTE $Q_1(t+1)$	$Q_2(t+1)$	EXCITACIÓN BIESTABLE $T_1(t)$	$T_2(t)$	S(t)
0	0	0	1	1	1	1	0
0	0	1	1	1	1	0	0
0	1	0	1	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	1	0
1	0	1	1	0	1	1	0
1	1	0	1	0	0	0	1
1	1	1	0	0	1	1	0

Q(t)	Q(t+1)	T(t)
0	0	0
0	1	1
1	0	1
1	1	0

Escaneado con CamScanner

Ecuaciones simplificadas de excitación de los biestables y de la salida:

T_1

Q_2 \ EQ_1	00	01	11	10
0	1	0	0	0
1	1	0	1	1

$$T_1 = \overline{E}\cdot\overline{Q_1} + EQ_2$$

T_2

Q_2 \ EQ_1	00	01	11	10
0	1	1	0	1
1	0	0	1	1

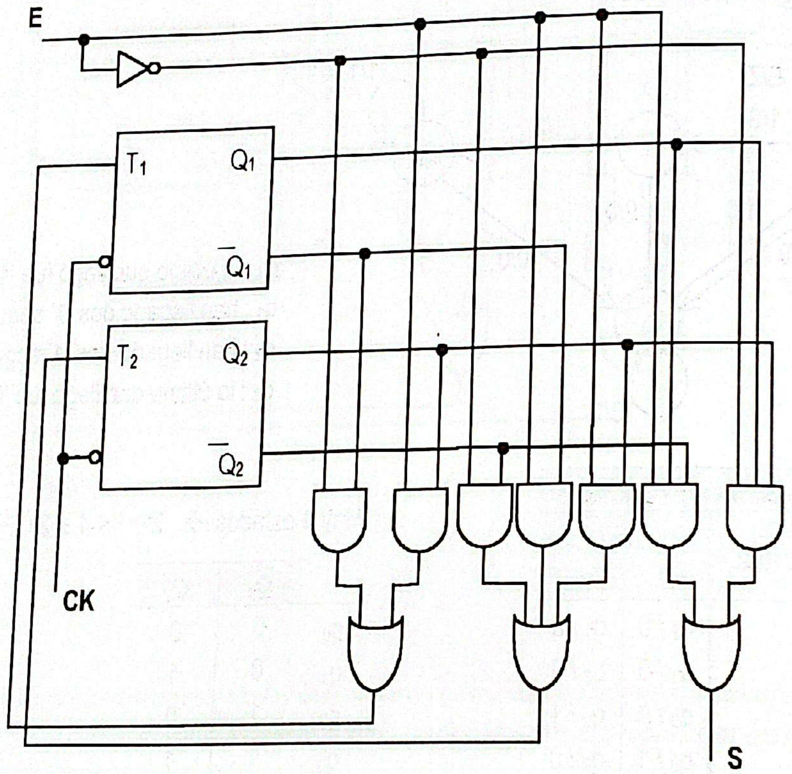
$$T_2 = \overline{E}\cdot\overline{Q_2} + E\overline{Q_1} + EQ_2$$

S

Q_2 \ EQ_1	00	01	11	10
0	0	0	1	0
1	0	1	0	0

$$S = EQ_1\overline{Q_2} + \overline{E}Q_1Q_2$$

El circuito será:



b) **Mediante registro de desplazamiento de 3 bits**

Necesitamos memorizar en el registro los tres últimos bits que han llegado.

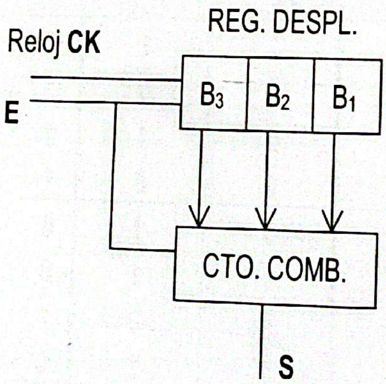


Tabla de verdad del circuito combinacional

E	B_3	B_2	B_1	S
0	0	0	0	**1**
0	0	0	1	**1**
0	0	1	0	**1**
0	0	1	1	**1**
0	1	0	0	**0**
0	1	0	1	**0**
0	1	1	0	**0**
0	1	1	1	**0**
1	0	0	0	**0**
1	0	0	1	**0**
1	0	1	0	**0**
1	0	1	1	**0**
1	1	0	0	**0**
1	1	0	1	**0**
1	1	1	0	**0**
1	1	1	1	**1**

Lo último almacenado ha sido un cero y llega un cero (first four rows)

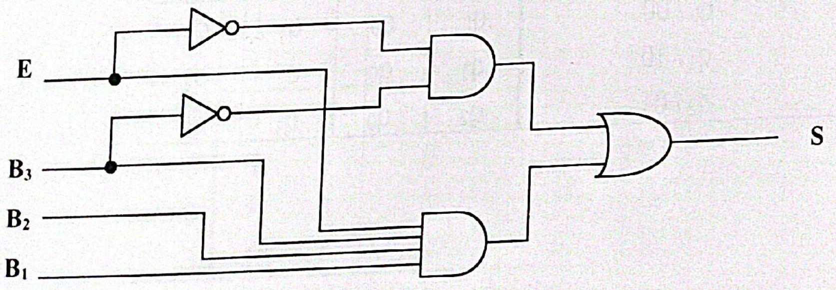
Habían llegado tres unos y llega un cuarto uno (last row)

Simplificación de S

S

$B_2 B_1$ \ $E B_3$	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	1	0	1	0
10	1	0	0	0

$$S = \overline{E} \cdot \overline{B_3} + E B_3 B_2 B_1$$



Escaneado con CamScanner

Problema 8.3

Una carretilla dotada de dos motores está especialmente diseñada para entornos agresivos por ello ha de gobernarse por control remoto.

Dispone de dos mandos A y B.

Si se presiona el mando A se acciona el motor delantero y la carretilla se mueve hacia delante, aunque se deje de presionar dicho mando.

Con presionar una vez el mando B la carretilla se para.

Si se presionan los dos mandos a la vez, A y B, la carretilla se moverá hacia atrás. Es decir, se parará el motor delantero si es que estaba en marcha y se activará el trasero. La carretilla seguirá moviendose hacia atrás aunque se hayan dejado de presionar los botones.

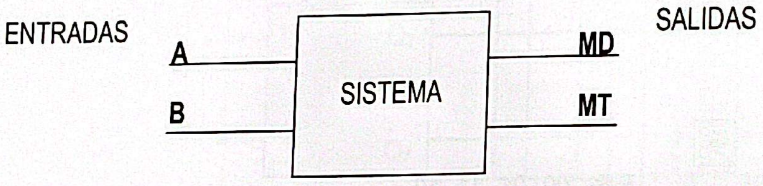
Habrá que diseñar una Máquina de Moore, que realice las secuencias deseadas. Para ello se pide:

a) *Diagrama de estados del circuito, indicando el significado de cada uno.*

b) *Diseñar y dibujar el circuito como Máquina de Moore con flip – flops tipo J – K con flanco activo en bajada y la lógica que se estime necesaria.*

Solución

a) **Diagrama de estados**



MD : motor delantero
MT : motor trasero

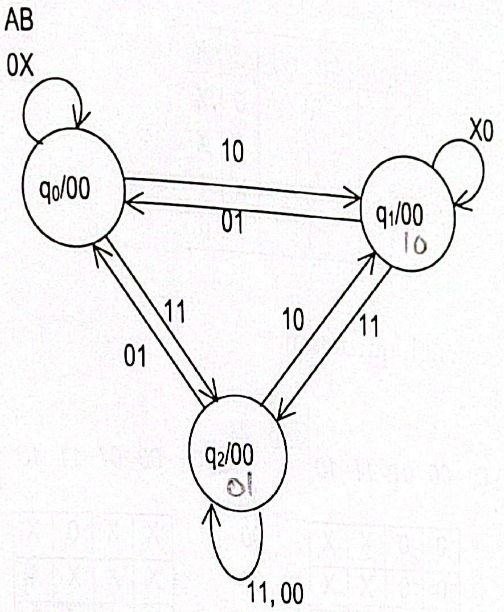
Estados posibles

q_0 : parada → MD = MT = 0
q_1 : hacia delante → MD = 1 ; MT = 0
q_2 : hacia atrás → MD = 0 ; MT = 1

Tabla de estados

ESTADO ACTUAL / MD MT	ESTADO SIGUIENTE — A B: 00	01	10	11
q_0 / 00	q_0	q_0	q_1	q_2
q_1 / 10	q_1	q_0	q_1	q_2
q_2 / 01	q_2	q_0	q_1	q_2

Diagrama de estados



b) **Máquina de Moore**

Asignación de estados

	$Q_2(t)$	$Q_1(t)$
q_0	0	0
q_1	0	1
q_2	0	1

Tabla de transiciones codificada

A	B	$Q_2(t)$	$Q_1(t)$	$Q_2(t+1)$	$Q_1(t+1)$	J_2	K_2	J_1	K_1
0	0	0	0	0	0	0	X	0	X
0	0	0	1	0	1	0	X	X	0
0	0	1	0	1	0	X	0	0	X
0	0	1	1	X	X	X	X	X	X
0	1	0	0	0	0	0	X	0	X
0	1	0	1	0	0	0	X	X	1
0	1	1	0	0	0	X	1	0	X
0	1	1	1	X	X	X	X	X	X
1	0	0	0	0	1	0	X	1	X
1	0	0	1	0	1	0	X	X	0
1	0	1	0	0	1	X	1	1	X
1	0	1	1	X	X	X	X	X	X
1	1	0	0	1	0	1	X	0	X
1	1	0	1	1	0	1	X	X	1
1	1	1	0	1	0	X	0	0	X
1	1	1	1	X	X	X	X	X	X

sabiendo que la ecuación de excitaciones del biestable J – K es,

Q(t)	Q(t + 1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Entonces los mapas de Karnaugh quedarían,

J_2

AB \ Q_2Q_1	00	01	11	10
00	0	0	X	X
01	0	0	X	X
11	1	1	X	X
10	0	0	X	X

$J_2 = AB$

K_2

AB \ Q_2Q_1	00	01	11	10
00	X	X	0	X
01	X	X	X	1
11	X	X	X	0
10	X	X	X	1

$K_2 = A \oplus B$

J_1

AB \ Q_2Q_1	00	01	11	10
00	0	X	X	0
01	0	X	X	0
11	0	X	X	0
10	1	X	X	1

$J_1 = A\overline{B}$

K_1

AB \ Q_2Q_1	00	01	11	10
00	X	0	X	X
01	X	1	X	X
11	X	1	X	X
10	X	0	X	X

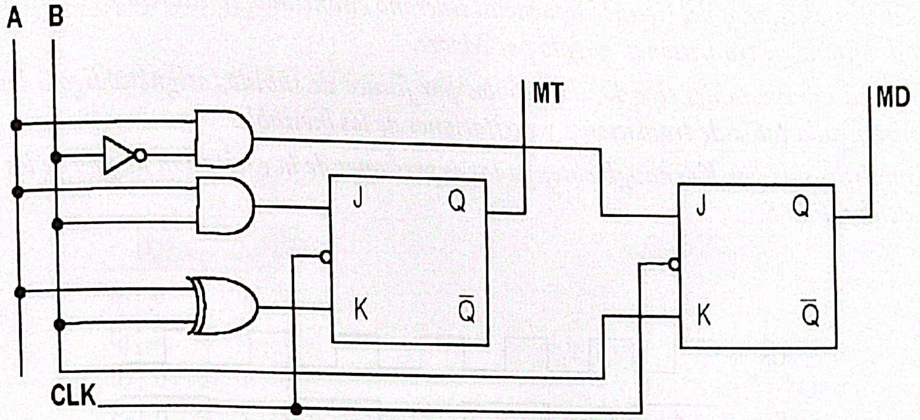
$K_1 = B$

Además, las salidas sólo dependen del estado actual (Máquina de Moore) y su expresión es muy sencilla

Q_2	Q_1	MD	MT
0	0	0	0
0	1	1	0
1	0	0	1

Escaneado con CamScanner

Es decir MD = Q_1 y MT = Q_2, por lo tanto queda



Problema 8.4

Se trata de diseñar un circuito capaz de entregar diferentes tipos de señales en función de una señal de entrada.

Las tres formas de onda propuestas (ver figura) tienen las siguientes características:

- *S_1: Relación de aspecto 1 a 1 (1 periodo a "1" lógico, 1 periodo a "0" lógico).*
- *S_2: Relación de aspecto 2 a 1 (2 periodos a "1" lógico, 1 periodo a "0" lógico).*
- *S_3: Relación de aspecto 3 a 1 (3 periodos a "1" lógico, 1 periodo a "0" lógico).*

En un sistema donde la transferencia de energía está controlada por este tipo de señal significaría que la forma de onda S_1 entrega menos energía que la forma de onda S_2, y ésta menos energía que la forma de onda S_3.

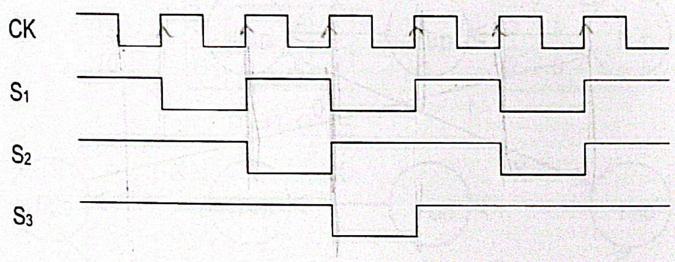
Para controlar la energía entregada existe una señal I, tal que:

- *Si la energía que se está entregando tiene que subir I = "1".*
- *Si la energía que se está entregando tiene que bajar I = "0".*

El circuito a diseñar tendrá dos entradas I y CK (reloj) y una única salida S, con las tres formas de onda S_1, S_2 y S_3 posibles ya enunciadas.

Es posible pasar de la forma de onda S_1 a S_2 pero no un salto brusco desde S_1 a S_3. De igual forma es posible pasar de S_3 a S_2 pero no de S_3 a S_1. Evidentemente de S_2 se puede pasar a S_1 y/o S_3 en función de I.

El cambio de una forma de onda a otra sólo se hará cuando se haya concluido un ciclo completo de forma precedente.



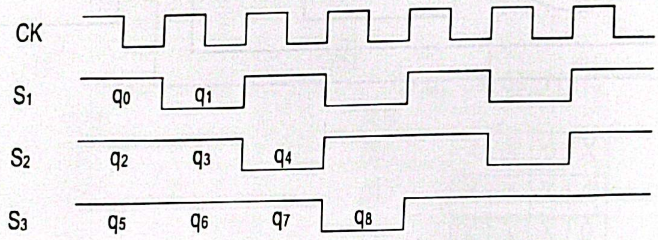
Se pide:

a) *Definir los estados del circuito secuencial síncrono enunciado, indicar su significado. Dibujar el diagrama de transiciones, hágalo por Moore.*

b) *Utilizando biestables tipo D, disparados por flanco de subida, asigne código a los estados y construya la tabla de transiciones y excitaciones de los biestables.*

c) *Simplificando por Karnaugh obtenga las expresiones de la excitación de uno de los biestables y de la salida S.*

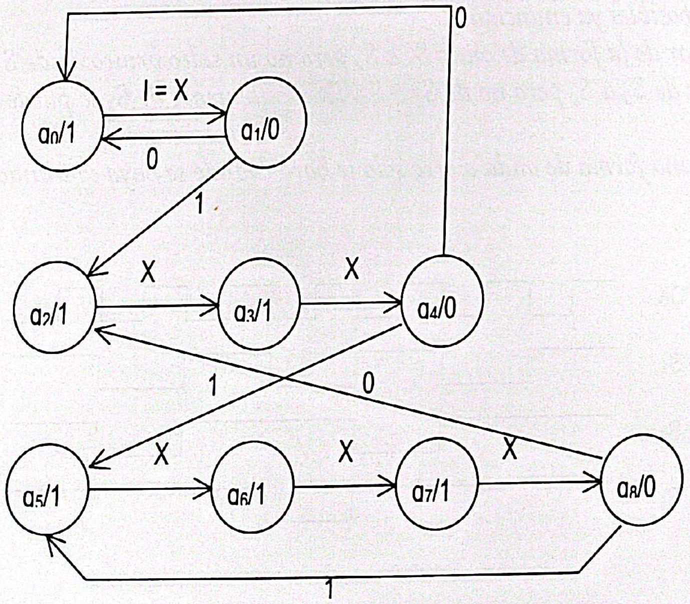
Solución



a) Diagrama de estados y definición de estados

ESTADO ACTUAL / SALIDA	ESTADO SIGUIENTE I = 0	ESTADO SIGUIENTE I = 1
q_0 / 1	q_1	q_1
q_1 / 0	q_0	q_2
q_2 / 1	q_3	q_3
q_3 / 1	q_4	q_4
q_4 / 0	q_0	q_5
q_5 / 1	q_6	q_6
q_6 / 1	q_7	q_7
q_7 / 1	q_8	q_8
q_8 / 0	q_2	q_5

q_0 : es el '1' de S_1
q_1 : es el '0' de S_1
q_2 : es el primer '1' de S_2
q_3 : es el segundo '1' de S_2
q_4 :es el '0' de S_2
q_5 : es el primer '1' de S_3
q_6 : es el segundo '1' de S_3
q_7 : es e tercer '1' de S_3
q_8 : es el '0' de S_3



Asignación de estados y tabla de transiciones

Número de biestables

N = 9 estados → $2^{n-1} < N \leq 2^n$ → ***n = 4 biestables***

Asignación de estados

	Q_3	Q_2	Q_1	Q_0
q_0	0	0	0	0
q_1	0	0	0	1
q_2	0	0	1	0
q_3	0	0	1	1
q_4	0	1	0	0

Q_3	Q_2	Q_1	Q_0	
0	1	0	1	q_5
0	1	1	0	q_6
0	1	1	1	q_7
1	0	0	0	q_8

Tabla de transiciones y excitaciones de los biestables

	I	**ESTADO ACTUAL**				*q*	**ESTADO SIGUIENTE**				*q*	D_3	D_2	D_1	D_0	*S*
		Q_3	Q_2	Q_1	Q_0		Q_3	Q_2	Q_1	Q_0						
0, 16	X	0	0	0	0	q_0	0	0	0	1	q_1	**0**	**0**	**0**	**1**	**1**
1	0	0	0	0	1	q_1	0	0	0	0	q_0	**0**	**0**	**0**	**0**	**0**
17	1	0	0	0	1	q_1	0	0	1	0	q_2	**0**	**0**	**1**	**0**	**0**
2, 18	X	0	0	1	0	q_2	0	0	1	1	q_3	**0**	**0**	**1**	**1**	**1**
3, 19	X	0	0	1	1	q_3	0	1	0	0	q_4	**0**	**1**	**0**	**0**	**1**
4	0	0	1	0	0	q_4	0	0	0	0	q_0	**0**	**0**	**0**	**0**	**0**
20	1	0	1	0	0	q_4	0	1	0	1	q_5	**0**	**1**	**0**	**1**	**0**
5, 21	X	0	1	0	1	q_5	0	1	1	0	q_6	**0**	**1**	**1**	**0**	**1**
6, 22	X	0	1	1	0	q_6	0	1	1	1	q_7	**0**	**1**	**1**	**1**	**1**
7, 23	X	0	1	1	1	q_7	1	0	0	0	q_8	**1**	**0**	**0**	**0**	**1**
8	0	1	0	0	0	q_8	0	0	1	0	q_2	**0**	**0**	**1**	**0**	**0**
24	1	1	0	0	0	q_8	0	1	0	1	q_5	**0**	**1**	**0**	**1**	**0**

D_3

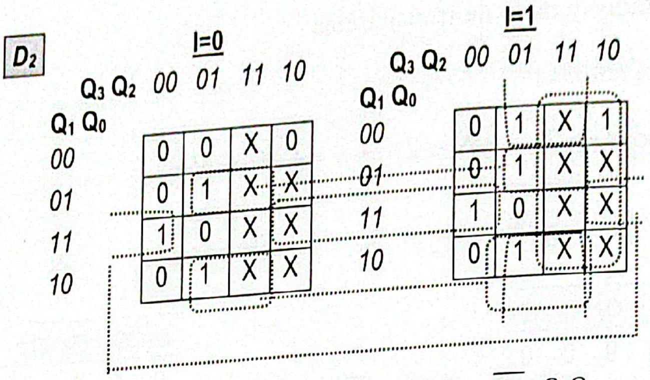
I=0

Q_1Q_0 \ Q_3Q_2	*00*	*01*	*11*	*10*
00	0	0	X	0
01	0	0	X	X
11	0	1	X	X
10	0	0	X	X

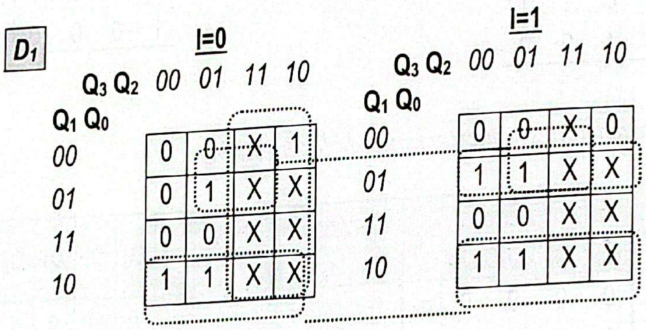
I=1

Q_1Q_0 \ Q_3Q_2	*00*	*01*	*11*	*10*
00	0	0	X	0
01	0	0	X	X
11	0	1	X	X
10	0	0	X	X

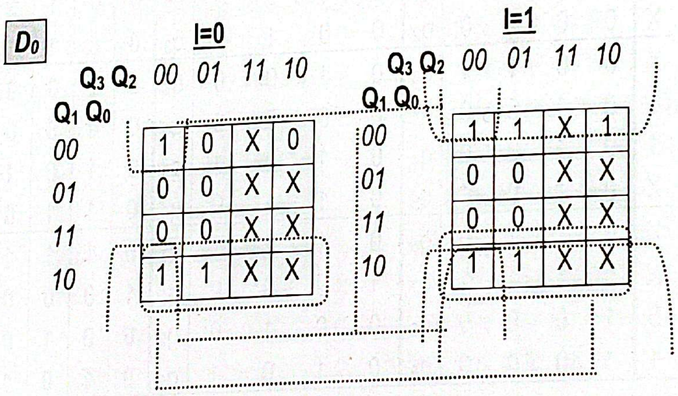
$D_3 = Q_2\, Q_1\, Q_0$



$$D_2 = IQ_3 + Q_2\overline{Q_1}\cdot Q_0 + Q_2Q_1\overline{Q_0} + IQ_2Q_1 + \overline{Q_2}\cdot Q_1Q_0$$

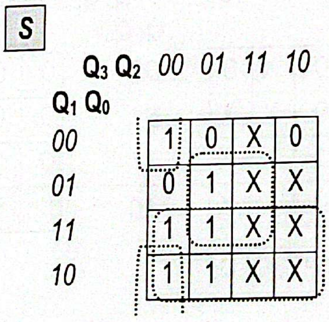


$$D_1 = \bar{I}\cdot Q_3 + Q_1\overline{Q_0} + Q_2\overline{Q_1}\cdot Q_0 + I\overline{Q_1}\cdot Q_0$$



$$D_0 = Q_1\overline{Q_0} + I\overline{Q_0} + \overline{Q_3}\cdot\overline{Q_2}\cdot\overline{Q_0}$$

Salida S



$$S = Q_1 + Q_2Q_0 + \overline{Q_3}\cdot\overline{Q_2}\cdot\overline{Q_0}$$

Escaneado con CamScanner

Problema 8.5

Se desea realizar el control de una máquina expendedora de latas de cerveza mediante un circuito secuencial síncrono de tipo Mealy. Se supone que la lata de cerveza cuesta 150 ptas. y que la máquina sólo admite monedas de 25 ptas. y 100 ptas. indistintamente y en cualquier orden, devolviendo los cambios.

El circuito, ver figura, tendrá una entrada M y dos salidas L y C = (C_1, C_0) con el siguiente significado:

- *M: Entrada de monedas.*

  M = 0, se ha introducido una moneda de 25 ptas.

  M = 1, se ha introducido una moneda de 100 ptas.

- *L: Indica si la máquina tiene que entregar la lata o no.*

  L = 0, no entregar la lata (falta dinero).

  L = 1, entregar la lata.

- *C = (C_1, C_0): Indica el dinero a devolver.*

  (C_1, C_0) = 00, no devolver dinero.

  (C_1, C_0) = 01, devolver una moneda de 25 ptas.

  (C_1, C_0) = 10, devolver 2 monedas de 25 ptas.

  (C_1, C_0) = 11, devolver 3 monedas de 25 ptas.

Una vez que la salida L se hace 1 el circuito retorna a su estado inicial, es decir, a la espera de que se le empiecen a introducir nuevas monedas para adquirir otra lata de cerveza.

Se pide:

a) *Diagrama de estados del circuito, indicado el significado de cada estado.*

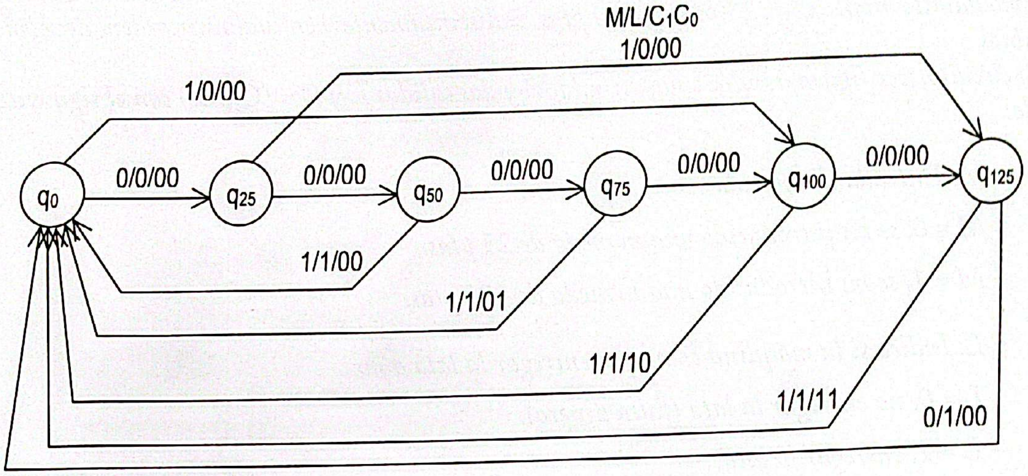
b) *Número de biestables y asignación (codificación) de estados.*

c) *Implementación del circuito utilizando biestables D disparados por flanco de bajada y puertas lógicas (No hace falta dibujarlo). Indicar la tabla de transiciones codificada. Indicar las ecuaciones simplificadas (por karnaugh) de las excitaciones de los biestables y de las salidas L, C_1 y C_0.*

Escaneado con CamScanner

Solución

a) **Diagrama de estados**



ESTADO SIGUIENTE / L / C_1 C_0			
ESTADO ACTUAL	***M*** = **0**	***M*** = **1**	
q_0	q_{25} / 0 / 00	q_{100} / 0 / 00	C_0
q_{25}	q_{50} / 0 / 00	q_{125} / 0 / 00	
q_{50}	q_{75} / 0 / 00	q_0 / 1 / 00	C_1
q_{75}	q_{100} / 0 / 00	q_0 / 1 / 01	C_2
q_{100}	q_{125} / 0 / 00	q_0 / 1 / 10	C_3
q_{125}	q_0 / 1 / 00	q_0 / 1 / 11	C_4

q_0 : estado inicial y de entrega de botella
q_{25} : se han depositado 25 ptas
q_{50} : se han depositado 50 ptas
q_{75} : se han depositado 75 ptas
q_{100} : se han depositado 100 ptas
q_{125} : se han depositado 125 ptas

	Minimización			
Clase	C_0			
Estados	q_0		q_{25}	
Entradas	0	1	0	1
Estado siguiente	q_{25}	q_{100}	q_{50}	q_{125}
Clase siguiente	C_0	C_3	C_1	C_4

dif dif

Dividir C_0 en C'_0 y C''_0

b) **Número de biestables y asignación de estados**

Como hay N = 6 estados (q_0, q_{25}, q_{50}, q_{75}, q_{100}, q_{125}) → $2^{n-1} < 6 \leq 2^n$ → ***n = 3 biestables***

Escaneado con CamScanner

ESTADO ACTUAL	SALIDAS DE LOS BIESTABLES		
	Q_3	Q_2	Q_1
q_0	0	0	0
q_{25}	0	0	1
q_{50}	0	1	0
q_{75}	0	1	1
q_{100}	1	0	0
q_{125}	1	0	1

Con esta asignación tenemos:

ESTADO SIGUIENTE / L / C_1 C_0		
ESTADO ACTUAL	M	
	0	1
000	001 / 0 / 00	100 / 0 / 00
001	010 / 0 / 00	101 / 0 / 00
010	011 / 0 / 00	000 / 1 / 00
011	100 / 0 / 00	000 / 1 / 01
100	101 / 0 / 00	000 / 1 / 10
101	000 / 1 / 00	000 / 1 / 11

c) **Implementación del circuito con biestables D y puertas lógicas**

En el biestable D se cumple D(t) = Q(t + 1)

Tabla de transiciones codificada

M (t)	$Q_3(t)$	$Q_2(t)$	$Q_1(t)$	$Q_3(t+1)$	$Q_2(t+1)$	$Q_1(t+1)$	$D_3(t)$	$D_2(t)$	$D_1(t)$	L(t)	$C_1(t)$	$C_0(t)$
0	0	0	0	0	0	1	0	0	1	**0**	**0**	**0**
0	0	0	1	0	1	0	0	1	0	**0**	**0**	**0**
0	0	1	0	0	1	1	0	1	1	**0**	**0**	**0**
0	0	1	1	1	0	0	1	0	0	**0**	**0**	**0**
0	1	0	0	1	0	1	1	0	1	**0**	**0**	**0**
0	1	0	1	0	0	0	0	0	0	**1**	**0**	**0**
0	1	1	0	X	X	X	X	X	X	**X**	**X**	**X**
0	1	1	1	X	X	X	X	X	X	**X**	**X**	**X**
1	0	0	0	1	0	0	1	0	0	**0**	**0**	**0**
1	0	0	1	1	0	1	1	0	1	**0**	**0**	**0**
1	0	1	0	0	0	0	0	0	0	**1**	**0**	**0**
1	0	1	1	0	0	0	0	0	0	**1**	**0**	**1**
1	1	0	0	0	0	0	0	0	0	**1**	**1**	**0**
1	1	0	1	0	0	0	0	0	0	**1**	**1**	**1**
1	1	1	0	X	X	X	X	X	X	**X**	**X**	**X**
1	1	1	1	X	X	X	X	X	X	**X**	**X**	**X**

Escaneado con CamScanner

Ecuaciones simplificadas de excitación de los biestables

D_3

Q_2Q_1 \ MQ_3	00	01	11	10
00	0	1	0	1
01	0	0	0	1
11	1	X	X	0
10	0	X	X	0

D_2

Q_2Q_1 \ MQ_3	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	0	X	X	0
10	1	X	X	0

D_1

Q_2Q_1 \ MQ_3	00	01	11	10
00	1	1	0	0
01	0	0	0	1
11	0	X	X	0
10	1	X	X	0

$$D_1 = \overline{M}\cdot\overline{Q_1} + M\overline{Q_3}\cdot\overline{Q_2}\cdot Q_1$$

$$D_3 = \overline{M}Q_3\overline{Q_1} + \overline{M}Q_2Q_1 + M\overline{Q_3}\cdot Q_2$$

$$D_2 = \overline{M}Q_2\overline{Q_1} + \overline{M}\cdot\overline{Q_3}\cdot\overline{Q_2}\cdot Q_1$$

Ecuaciones simplificadas de las salidas L, C_1 y C_0

L

Q_2Q_1 \ MQ_3	00	01	11	10
00	0	0	1	0
01	0	1	1	0
11	0	X	X	1
10	0	X	X	1

C_1

Q_2Q_1 \ MQ_3	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	X	X	0
10	0	X	X	0

C_0

Q_2Q_1 \ MQ_3	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	X	X	1
10	0	X	X	0

$L = MQ_3 + MQ_2 + Q_3Q_1$

$C_1 = MQ_3$

$C_0 = MQ_3Q_1 + MQ_2Q_1$

Las salidas dependen de M → tipo Mealy

Problema 8.6

Se pretende diseñar un sistema digital de control de nivel de agua en un pantano. Esta función se realiza controlando el caudal de salida por un aliviadero, mediante las señales C_1 y C_0, de acuerdo a la siguiente tabla:

ENTRADA DE CONTROL ELECTROVALVULAS		CAUDAL DE DESAGÜE
C_1	C_0	
0	0	Caudal nulo
0	1	$C_{máx}/3$
1	0	$2C_{máx}/3$
1	1	$C_{máx}$

siendo $C_{máx}$ el caudal máximo del aliviadero.

Un detector de nivel determina si el nivel (N) de agua está por debajo del nivel mínimo del pantano $N_{mín}$, o por encima del nivel máximo $N_{máx}$, codificando estas situaciones por medio de las señales D_{N1} y D_{N0}, de tal forma que:

Escaneado con CamScanner

D_{N1}	D_{N0}	NIVEL N
0	0	$N < N_{mín}$
0	1	$N_{mín} < N < N_{máx}$
1	x	$N_{máx} < N$

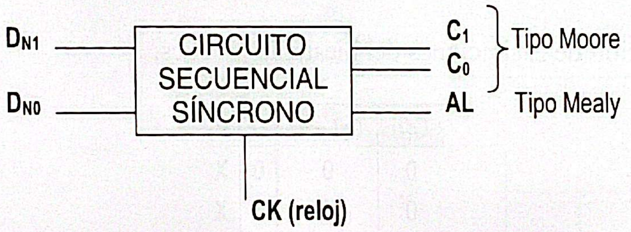
El control debe mantener el nivel entre los límites $N_{mín}$ y $N_{máx}$, de tal forma que cuando el nivel baje por debajo de $N_{mín}$ se debe reducir el caudal de salida, y cuando sea superior al máximo se debe incrementar el caudal de salida, tomándose las decisiones en los flancos de subida del reloj CLK, estando las señales D_{N1} y D_{N0} sincronizadas con dicho reloj.

Adicionalmente, el control debe generar una señal de alarma AL de tipo Mealy. La señal se activa (AL = 1) si el nivel está por debajo de $N_{mín}$ y el caudal de salida es nulo, o si el nivel supera el valor máximo $N_{máx}$ y el caudal de salida es máximo.

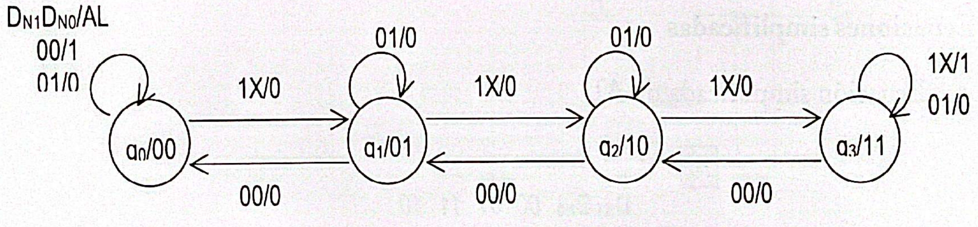
Se pide:

a) *Realizar el diagrama de estados y la tabla de transiciones y estados del control, de acuerdo a una estructura tipo Moore.*
b) *Realizar la tabla de excitaciones de biestables, suponiendo que estos son JK.*
c) *Ecuaciones simplificadas de las salidas C_1, C_0 y AL.*
d) *Realizar el circuito secuencial utilizando una ROM y biestables tipo D, indicando el contenido y patillaje de la memoria.*

Solución



a) Diagrama de estados y tabla de transiciones



ESTADO ACTUAL / C_1 C_0	ESTADO SIGUIENTE / AL D_{N1} D_{N0} = 00	01	1X
q_0 / 00	q_0 / 1	q_0 / 0	q_1 / 0
q_1 / 01	q_0 / 0	q_1 / 0	q_2 / 0
q_2 / 10	q_1 / 0	q_2 / 0	q_3 / 0
q_3 / 11	q_2 / 0	q_3 / 0	q_3 / 1

Asignación de estados

	Q1 Q0
q_0 : Caudal nulo	0 0
q_1 : $C_{máx}$ / 3	0 1
q_2 : 2$C_{máx}$ / 3	1 0
q_3 : $C_{máx}$	1 1

Escaneado con CamScanner

b) **Tabla de excitaciones de los biestables J – K**

Hay 4 estados → 2 biestables JK

D_{N1}	D_{N0}	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$	J_1	K_1	J_0	K_0	AL
0	0	0	0	0	0	0	X	0	X	1
0	0	0	1	0	0	0	X	X	1	0
0	0	1	0	0	1	X	1	1	X	0
0	0	1	1	1	0	X	0	X	1	0
0	1	0	0	0	0	0	X	0	X	0
0	1	0	1	0	1	0	X	X	0	0
0	1	1	0	1	0	X	0	0	X	0
0	1	1	1	1	1	X	0	X	0	0
1	0	0	0	0	1	0	X	1	X	0
1	0	0	1	1	0	1	X	X	1	0
1	0	1	0	1	1	X	0	1	X	0
1	0	1	1	1	1	X	0	X	0	1
1	1	0	0	0	1	0	X	1	X	0
1	1	0	1	1	0	1	X	X	1	0
1	1	1	0	1	1	X	0	1	X	0
1	1	1	1	1	1	X	0	X	0	1

La ecuación de excitaciones del biestable J – K es,

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

c) **Ecuaciones simplificadas**

Ecuación simplificada de AL

Al

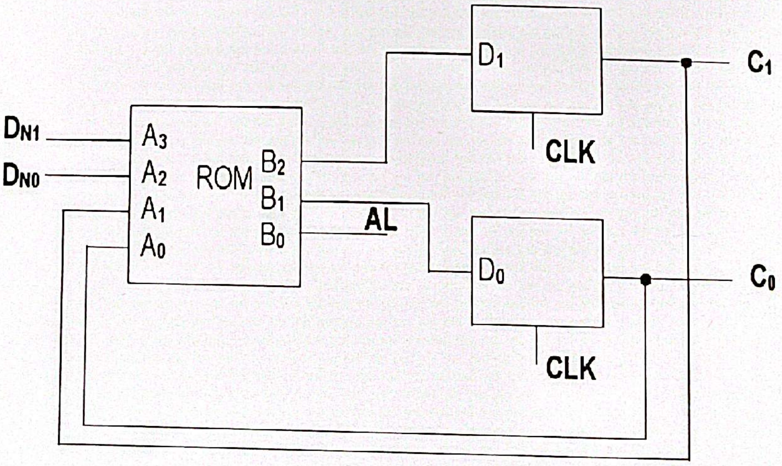
$Q_{1t}Q_{0t}$ \ $D_{N1}D_{N0}$	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	0	0

Se confirma Mealy

$$AL = \overline{D_{N1}} \cdot \overline{D_{N0}} \cdot \overline{Q_1} \cdot \overline{Q_0} + D_{N1}Q_1Q_0$$

Ecuaciones de C_1 y C_0 → $C_1 = Q_{1t}$; $C_0 = Q_{0t}$

Escaneado con CamScanner

d) Realización del circuito

Entradas		Estado Actual		Estado Siguiente / Entrada Biestable		Salida
		C_1	C_2	D_1	D_0	
D_{N1}	D_{N0}	Q_1	Q_0	Q_1	Q_0	AL
0	0	0	0	0	0	1
0	0	0	1	0	0	0
0	0	1	0	0	1	0
0	0	1	1	1	0	0
0	1	0	0	0	0	0
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	1	0
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	1	1	0
1	0	1	1	1	1	1
1	1	0	0	0	1	0
1	1	0	1	1	0	0
1	1	1	0	1	1	0
1	1	1	1	1	1	1
A_3	A_2	A_1	A_0	B_2	B_1	B_0
Dirección ROM				Dato ROM